MMIC capacitor용 고유전율 박막제작기술 개발에 관한 연구

수탁기관: 울산대학교

한국전자통신연구소

제 출 문

한국전자통신연구소장 귀하

본 보고서를 MMIC capacitor용 고유전율 박막제작기술 개발에 관한 연구의 최종연구보고서로 제출합니다.

1994년 12 월 28 일

수탁기관 : 울 산 대 학 교
산업기술연구소
수탁기관장 : 권 영 순 (인)
수탁책임자 : 이 재 신 (인)
연 구 원 : 천 회 곤
연구보조원 : 고 정 덕
김 동 식

요 약 문

1. 제목

MMIC capacitor용 고유전율 박막 제작기술 개발

2. 연구목적 및 중요성

GaAs 집적소자를 고속화, 소형화, 고신뢰성화하기 위한 연구가 국내외적으로 활발하다. 수동소자와 능동소자를 일체형으로 집적화한 GaAs MMIC의 경우 capacitor는 넓은 소자면적을 차지하는 한편 절연막으로 이용되는 질화실리콘막의 failure는 MMIC의 소형화, 고신뢰화에 가장 큰 장애 요소 중의 하나이다. 그래서 이 문제를 해결하기 위해서는 고신뢰성, 고유전율 박막 제조기술의 개발이 필요하다. 그리고 GaAs MMIC의 소형화 및 고신뢰성화는 통신기기의 소형화 및 고신뢰성화의 기반이 되고, 기초 소재기술의 축적에 의한 부품의 기술경쟁력 강화의 효과도 있다.

3. 연구의 내용 및 범위

연구개발내용	연구범위
- 고유전율 박막 형성연구 전반기 : TaO_x 박막 형성 후반기 : $B_xS_{1-x}TiO_3$ 박막 형성	- 선행기술 조사분석 - 스퍼터링 조건에 따른 박막 제작 실험 - 박막의 재료적, 전기적 특성 평가

4. 연구결과

o GaAs 집적소자 공정에 적합한 고유전율 MIM 커패시터 공정 기초 자료 수집
- TaO_x 박막 형성 조건 및 특성
- 세라믹 $Ba_{1-x}Sr_xTiO_3$의 제조 및 특성

- $Ba_{1-x}Sr_xTiO_3$ 박막 형성조건 및 특성
- 강유전체 박막 연구여건 확립

o 특허 출원 : “MMIC용 고용량 커패시터의 제조방법"

5. 활용에 대한 건의

o 본 과제에서 수행중인 GaAs 초고속 집적소자 제조공정에 활용

6. 기대효과

o GaAs MMIC의 소형화, 고신뢰화에 기여

o 특허기술의 확보로 부품의 기술경쟁력 향상

Summary

Materials with high dielectric constant are very promising for thin film capacitors of highly integrated semiconductor devices. In this work TaO_x and $Ba_{1-x}Sr_xTiO_3$ were investigated with reactive sputtering methods for application to GaAs MMICs. Thin films of TaO_x were deposited onto Au/Si and Ta/Si substrates using DC magnetron sputtering. Deposited films showed amorphous state but their dielectric constant were in the range of 17-55. Electrical properties of TaO_x films grown on Au/Si were poorer than those grown on Ta/Si, probably due to the recrystallization of Au during sputter-deposition of TaO_x. Some of TaO_x MIM capacitors formed using Ta sub-electrodes satisfied the GaAs MMIC requirements. Ferroelectric ceramic $Ba_{1-x}Sr_xTiO_3$ ($x=0 \sim 0.3$) capacitors were fabricated to understand the dielelectric properties of $Ba_{1-x}Sr_xTiO_3$ materials. Dielectric constants were in the range of 3000 ~ 8000 and Curie temperature was monotonically decreased from 125 ℃ to room temperature with the composition x. Thin film $Ba_{1-x}Sr_xTiO_3$ capacitors were fabricated using reactive RF-magnetron sputtering method and ceramic $Ba_{1-x}Sr_xTiO_3(x=0.3)$ target. Deposited films showed poor dielectric properties, dielectric constant values less than 20.

EDAX and AFS analyses showed that Sr atoms were not incoopertaed into the deposited films in spite the fact that the target composition was $Ba_{1-x}Sr_xTiO_3$(x=0.3). At the present time further investigation is needed to obtain ferroelectric $Ba_{1-x}Sr_xTiO_3$ films suitable for GaAs MMICs.

목 차

제 1 장 서 론

제 2 장 DC-magnetron sputtering을 이용한 TaO_x 박막에 관한 연구

제 1 절 서 언

제 2 절 반도체 집적소자용 고유전율 박막 기술현황
1. 개요
2. 유전체의 분류 및 종류
3. 집적소자용 유전체 박막 기술현황
4. 산화탄탈륨 박막의 기술현황
가. 증착방법
나. 전기적 특성

제 3 절 실험방법
1. 반응성 DC-magnetron sputtering 방법
2. 물성분석 및 전기적측정

제 4 절 결과 및 고찰
1. 스퍼터 증착한 TaO_x 박막의 특성
가. 증착속도

나. 박막의 물성
다. 유전특성

참고문헌

제 3 장 세라믹 BST ($Ba_xSr_{1-x}TiO_3$)와 RF-magnetron sputter 증착한 BST 박막에 관한 연구

제 1 절 서언

제 2 절 반도체 집적 소자용 고유전율 박막 기술현황
1. 개요
2. 강유전체 박막의 응용
가. DRAM capacitor 유전막
나 휘발성 FRAM
다. GaAs capacitor 유전막
3. BST 기술현황
가. BST 박막의 물성
나. BST 박막 기술

제 3 절 실험방법
1. 세라믹 강유전체 실험방법
2. 강유전체 박막 실험방법
가. 반응성 RF-magnetron sputtering 방법
나. 물성분석 및 전기적측정

제 4 절 결과 및 고찰
1. 세라믹 강유전체에서 $SrTiO_3$ 첨가효과
가. 소결체의 물성 및 미세구조
나. 전기적 특성
2. BST 박막
가. 증착속도
나. 박막의 물성
다. 유전특성

참고문헌

제 4 장 요약 및 향후연구계획

제 1 절 연구결과 요약
1. DC-magnetron sputter 증착한 TaO_x 연구결과
2. Ceramic BST 연구결과
3. RF-magnetron sputter 증착한 BST 연구결과

제 2 절 향후 연구계획

제 1 장 서 론

PECVD 방법으로 증착된 질화실리콘 박막은 이온주입후 열처리용 보호막, 표면 보호막, 커패시터용 유전체 박막으로 GaAs IC 공정에 널리 이용되고 있다. 그러나 SiN_x는 유전율이 7 정도로 비교적 높은 정전용량대 면적비(120 pF/mm^2)를 나타내나, 폴리이미드를 쓰거나 갈륨비소 표면에 interdigitated 구조의 커패시터를 형성하는 방법보다는 정전용량이 큰 박막 커패시터를 제조할 수 있다. 그러나 실제적인 면에서 정전용량은 4 pF 정도로 제약을 받는다. 그러나 많은 MMIC 분야에서 충분히 낮은 RF impedance를 얻기 위하여 보다 높은 정전용량의 커패시터가 요구된다. 예를들어 power FET의 dc gate 입력 인가용 바이패스 커패시터는 용량이 수십에서 수백 pF으로 충분히 커야 한다. 또한 MMIC의 소자 집적도가 증가함에 따라 칩당 전체 정전용량은 수백 pF에 이르게 된다. 만약 종래의 SiN_x 기술로 그런 구조를 제작하게 되면 전체 GaAs 기판 면적의 거의 절반이 커패시터가 차지하게 된다. 이런 경우에 2가지로 소자의 수율이 저하되는 문제가 따른다. 첫째는 커패시터의 크기를 수용하기 위해서 전체 칩 크기가 커지게 되고, 단위 기판당 칩 수가 감소하게 된다. 둘째는 기능 소자의 수율이 감소하게 된다. 그 이유는 대면적 커패시터에서 pinhole 등의 결함에 의한 소자 failure의 발생확율이 커지기 때문이다.

SiN_x MIM (metal-insulator-metal) 커패시터의 문제를 해결하기 위해서 고유전율 박막에 대한 연구가 GaAs MMIC 분야 뿐만 아니라 Si DRAM 분야에서도 연구개발이 활발하게 진행되어 왔다. 유전율이 높은 재료로는 Ta_2O_5, TiO_2 등의 상유전재료와 $BaTiO_3$, BST ($Ba_{1-x}Sr_xTiO_3$), PZT($Pb_{1-x}Zr_xTiO_3$) 등의 강유전체 재료 등[2-6]이 연구되어 왔다.

본 연구의 목적은 GaAs MMIC capacitor용으로 고유전율 박막제조기술을 개발하는데 있다. 본 1차년도 연구의 전반기에는 중간 정도의 유전율을 갖는 TaO_x를 DC-magnetron sputtering을 이용해서 유전체 박막을 증착한 다음 물성 및 전기적 특성을 살펴보았다. 후반기에는 강유전체 재료로 고유전율을 갖는 것으로 알려진 BST에 대한 연구를 수행하였다. 먼저 BST의 bulk 물성을 이해하기 위하여 ceramic 공정으로 제조한 $Ba_{1-x}Sr_xTiO_3$(x=0 ~ 0.3)의 유전특성을 분석하였다. 다음으로 RF-magnetron sputtering을 이용해서 여러가지 조건에서 BST 박막을 증착한 다음 물성 및 전기적 특성을 살펴보았다.

제 2 장 DC-magnetron sputtering을 이용한 TaO_x 박막에 관한 연구

제 1 절 서 언

저유전율의 SiN_x 커패시터의 문제를 해결하기 위한 대체재료로 고려되는 TaO_x는 저온에서도 스퍼터링 방법으로 절연성이 우수하고 유전율도 20-25정도로 기존의 SiN_x 박막에 비하여 4배정도 높기 때문에 우수한 고유전율 커패시터 재료로 부각되고 있다[7]. 본 연구에서는 1차적으로 신뢰도가 높은 TaO_x를 개발하는 것을 첫 단계로 설정하였다. 그 다음 BST등의 강유전체 재료나 현재 세라믹 커패시터 공정에 이용되는 재료를 개발하고자 하였다. 본 장에서는 DC-magnetron sputtering 방법으로 TaO_x MIM capacitor를 제조하고 특성을 분석한 결과를 나타내었다.

제 2 절 TaO_x 박막 기술현황

산화탄탈륨은 현재까지 DRAM용 커패시터로 가장 연구가 활발히 진행되었으며, 여러가지 증착방법과 증착후처리를 통하여 특성을 개선시키려는 연구가 진행되었다. 한편 갈륨비소용으로는 연구가 많이 보고되지 않은 상태이며, 실리콘과 비교하여 다음과 같은 차이점이 있다.

<표 1> 집적소자용 커패시터로서의 실리콘과 갈륨비소 IC 공정의 유전박막 요구조건

항목	Si 공정	GaAs 공정
공정온도	500 ℃이상	300 ℃이하
소자구조	MIS	MIM
Sub-layer	polysilicon	Au

1. 유전체의 분류 및 종류

유전체는 전기를 모을수 있는 재료로서 대부분의 기체, 액체, 고체재료가 여기에 해당한다. 그러나 현재 반도체에 이용되는 유전체는 고체이며, 그 중에서도 유기재료가 아닌 이온결합성 화합물인 산화물이나 질화물이 이용되고 있다. 그 이유는 이들 무기재료 (일부는 세라믹스로 분류함)는 우수한 화학적, 열적, 전기적, 기계적 안정성을 나타내기 때문이다. 유전체 세라믹 재료는 공업적으로 다음과 같이 분류하며 그 특징 및 응용분야를 열거하면 <표 2>와 같다.

2. TaO_x 증착방법

산화탄탈륨을 증착하는 방법으로는 여러가지 방법의 박막제조기법이 시도되었다. 스퍼터링법, 전자선증착법, 이온선보조증착법 (IBAD: ion beam assisted deposition), LPCVD, LSCVD (liquid source CVD), PECVD등이 가장 많이 연구되었다. 이전에는 스퍼터링등의 물리적 증착법이 많이 연구되었으나, 최근의 실리콘 공정에 적용하려는 연구는 CVD 방법이 주로 이용된다.

<표 2> 유전체 세라믹스의 분류 및 응용분야

분 류	재 료	응 용 분 야
Low-K Dielectrics (ε_r : 1 ~ 10)	SiO_2, Al_2O_3, Si_3N_4, AIN, cordierite	Ceramic package, Thin film capacitor
Mid-K Dielectrics (ε_r: 20 ~ 300)	TiO_2, $SrTiO_3$, $CaTiO_3$, $ZrTiO_4$, $MgTiO_3$,	온도보상용 chip capacitor Microwave dielectrics
High-K Dielectrics (ε_r > 1.000)	강유전재료($BaTiO_3$, PZT, Relaxor dielectrics)	소형고용량 MLCC

그 이유는 박막의 특성이 보다 양호하고, 단차피복성이 양호하기 때문이다. 그러나 CVD 방법은 공정온도가 400℃ 이상의 고온을 요구하므로 근본적으로 갈륨비소공정에는 응용하기 힘들다고 판단된다. 왜냐하면 갈륨비소 공정에서는 커패시터 제조공정이 오믹전극 공정보다 후속되므로 이미 형성된 AuGe/Ni 전극의 열화를 가져와 특성이 불량해질 우려가 있기 때문이다. 따라서 저온에서 박막제조가 가능한 스퍼터링이나 이온증착법등이 갈륨비소공정에 적합한 것으로 판단된다.

3. TaO_x의 전기적 특성

탄탈륨 산화막을 집적소자에 응용하기 연구가 시작되었을 때 가장 크게 부각된 문제는 기존의 산화실리콘이나 질화실리콘보다 높은 누설전류였다. 일반적으로 스퍼터링으로 증착한 상태에서 3-4 MV/cm정도의 절연내압을 나타내어 기존의 10 MV/cm인 재료에 비교하여 신뢰성에 큰 문제점을 나타내었다. 따라서 탄탈륨 산화막에 대한 본격적인 연구가 진행되고 있는 현 단계에서 가장 중요한 연구방향은 누설전류를 줄이고, 절연내압을 향상시키는 노력이다.

산화탄탈륨의 전기적 절연성이 불량한 이유는 정확히 밝혀지지 않았지만 재료의 화학양론(stoichiometry)와 미세구조와 관련이 되는 것으로 판단하고 있다. 일반적으로 이온결합성 물질의 유전체는 화학양론에서 벗어나면 고유결함이 생성되고, 이 결함에 의해 자유전자나 정공이 형성되어 전자전도를 유도하거나, 또는 이온이 확산에 의해 전도를 할수 있다. 그러나 상온에서는 이온 확산은 거의 무시할 수 있으므로 전자전도가 문제시 된다고 보인다.
또한 유전체에 미세결함이 있는 경우에도 절연성은 불량해진다. 박막의 증착시 pinhole이나 미세기공, 입계는 전자전도의 용이한 경로를 제공한다. 따라서 전기적 절연성이 우수하고 고신뢰성의 절연막을 형성하려면 Ta과 O 의 비율이 2:5로 정확한 화학적 조성을 나타내고, 비정질로서 미시적, 거시적 결함이 없는 치밀한 Ta_2O_5를 증착하는 것이 바람직하다.

<표 3> TaO_x 박막의 연구현황

연도	연구기관	소자구조	공정방법	유전체두께 (Å)	유전율	절연내압 (MV/cm)	참고문헌
1981	Univ.Brit. Columbia	MIS $Al/TaO_x/Si$	rf-S. Ta + F.A (500C)	100-1000	24-28	2	IEEE ED-28.22
1982	MIT	MIM $Au/Ta/TaO_x/Ta/Au$	R.S.(300C)	1500	20-25	80V	EDL-3, 127
1984	IBM Watson	$Al/TaO_x/Si$	e-besm Ta +F.A.(500C)	550-850	20-25		JAP 55, 3715
1986	Sony	$Al/TaO_x/Si$ $Pt/TaO_x/Si$	LPCVD (600C)	150	26	3-5.5	1986 IEDM, 680
1986	Hi tachi	MIS $W/TaO_x/SiO_2/Si$	rf-S. Ta + F.A. (900C)	280	-	5	1986 IEDM, 684
1989	TI	MIS $Al/TaO_x/Si$	R.S TaO_x +F.A.(900C)	100-300	9.3-20	3-4	JAP 65, 1140
1989	Auburn Univ.	MIM $Al/TaO_x/Ta$	rf-S. Ta + Anodization	4000	21-23	6-7	Jap 66, 4837 ED-37,972
1990	삼성전자	MIM $TiN/TaO_x/TiN$	LPCVD(470C) + F.A. (800C)	300	21	7-12	한국재료학회지 4, 229
1991	현대전자	MIS $Al/TaO_x/SiO_2/Si$	rf-S. Ta + F.A. (450-700C)	650-2100	24		TSF 207,258
1992	Micro Semicond	MIS TiN/TaO_x/poly-Si	CVD + RTA(900C)	100-150	21.7		1992 IEDM, 263
1992	NEC	MIS TiN/TaO_x/poly-Si	LPCVD + F.A (750C)	30		15	1992 SSDM,521
1992	현대전자	MIS Poly-Si/TiN/TaO_x/SiN_x/Poly-Si	PECVD + N_2O plasma anneal				1992 SSDM,524

(표 3 계속)

연도	연구기관	소자구조	공정방법	유전체두께 (Å)	유전율	절연내압 (MV/cm)	참고문헌
1992	현대전자	Poly-Si/TiN/ TaO_x/SiN/ Poly-Si	UPCVD + N_2O plasma				1992 SSDM 524-6
1992	Samco	MISAL /TaO_x/Si	PE-LSCVD (470 C)			5	1992 SSDM 527-9
1993	NEC	MIM TiN/TaO_x/W/ poly-Si	CVD + O_2 plasma	<300		7.5	1993 IEDM 49-52
1993	삼성전자	MIS TiN/TaO_x/ poly-Si	LPCVD(430) + UV O_3 (300) + FA (800)	85			1993 IEDM 53-6
1993	Oki Electric	MIS (TiN,Mo,MoN)/TaO_x/poly-Si	LPCVD(400) + FA (800)				1993 SSDM 853-5
1993	Micro Semicond.	MIS RTN-Poly-Si /TaO_x/TiN	LPCVD(350, 400)+ RTA (800)	100-150			1993 SSDM 856-8
1993	NEC	RTN-Poly-Si /TaO_x/TiN	UPCVD + O_2 plasma				1993 SSDM 862-4
1993	Nissan Motors		Photo CVD(300C) + UV O_3				1993 SSDM 859-61
1994	삼성전자						1994 반도체 학술대회집, 71-2

제 3 절 실 험 방 법

1. 반응성 DC-magnetron sputtering 방법

그림 1에 전체적인 실험과정을 나타내었다. 본 실험에 사용된 스퍼터링 장비는 LEYBOLD-HERAUS 사의 Z-400모델이며 그 개략도는 그림 2에 나타내었다. 본 실험에서는 CERAC사의 직경이 3.5inch인 Tantalum(4N)과 Al(4N), Ti(4N) 타겟을 장착하여 DC 스퍼터링을 하였다. 전극간 거리는 5cm로 하였으며, 타겟의 뒤에는 과열을 방지하기 위해서 냉각수를 흘렸다. 기판은 p-Si(100) 웨이퍼를 사용하였으며, 증착전에 전처리로 아세톤, 알코올로 ultrasonic cleaning한 다음 DI water로 세척하고 N_2(g)를 이용하여 시편을 건조하였다. 전처리된 시편을 스퍼터링 장비내에 넣은 후 초기 진공도 7×10^{-6}torr까지 진공 배기한 후 실험변수인 산소 flow와 DC 전력의 범위, 기판온도는 각각 10-40sccm, 100~350W, 그리고 상온에서 300℃ 까지 변화시켰다. 증착 전 단계로 Ar 방전 기체를 60sccm을 흘려 작업 진공도를 10^{-2}torr 로 유지한 다음 DC출력을 타겟에 350W 인가하여 2분간 타겟 표면을 pre-sputtering하였다. 본 실험에서는 Ta_2O_5를 두가지 금속전극 위에 증착하였다. 한가지는 현재 ETRI에서 MMIC 공정에 이용되는 e-beam 증착한 Au이고, 본 실험에서는 추가로 Ta을 하부전극으로 사용하였다. Si웨이퍼와 Ta의 밀착성을 좋게 하기 위하여 Ti을 증착후 하부 전극으로서 Ta을 증착한 후 Ta_2O_5를 실험변수 조건에 따라 증착하고 상부 dot전극은 Ag 또는 Al을 증착하였다.

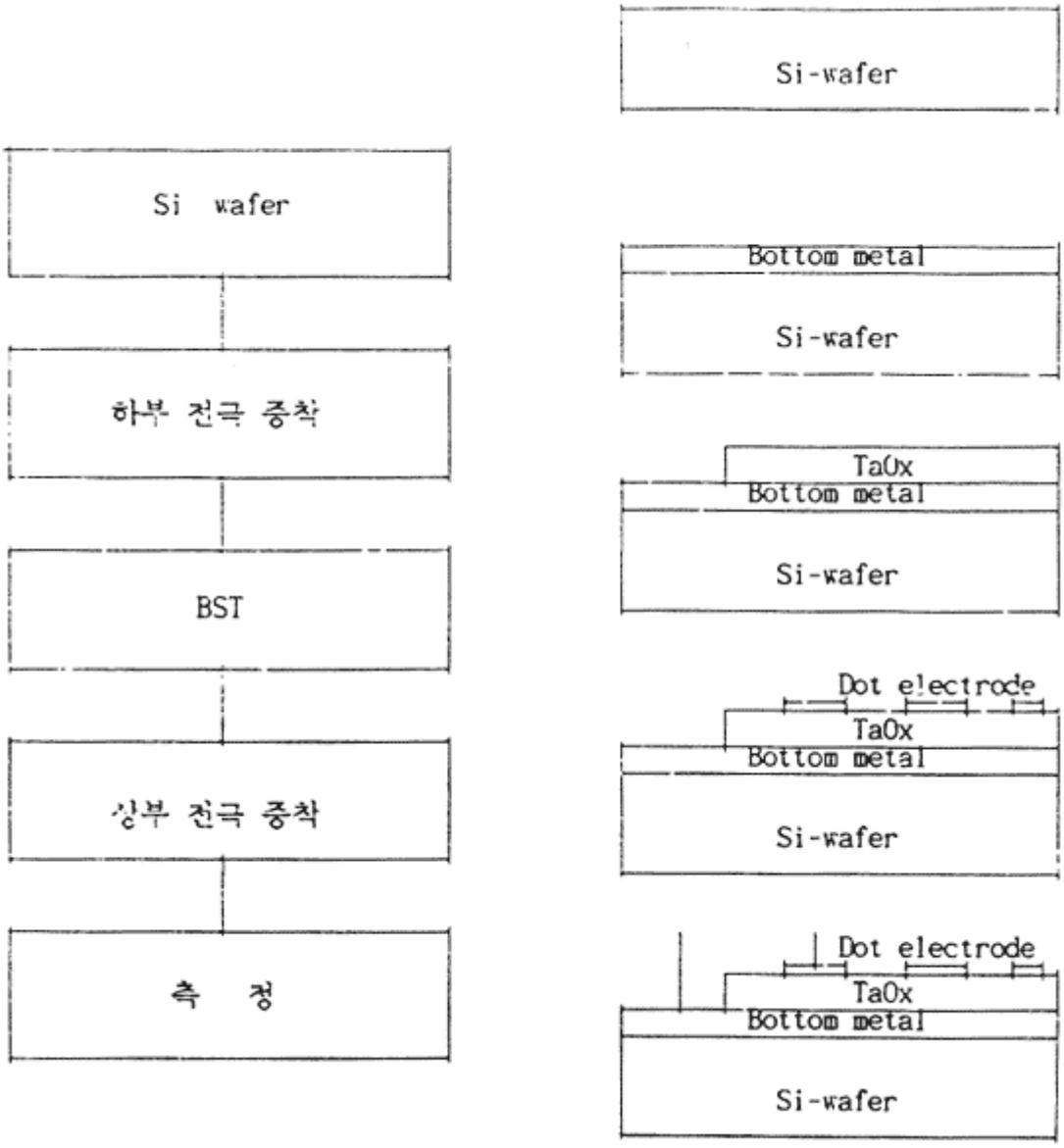


그림 1 전체적인 실험과정

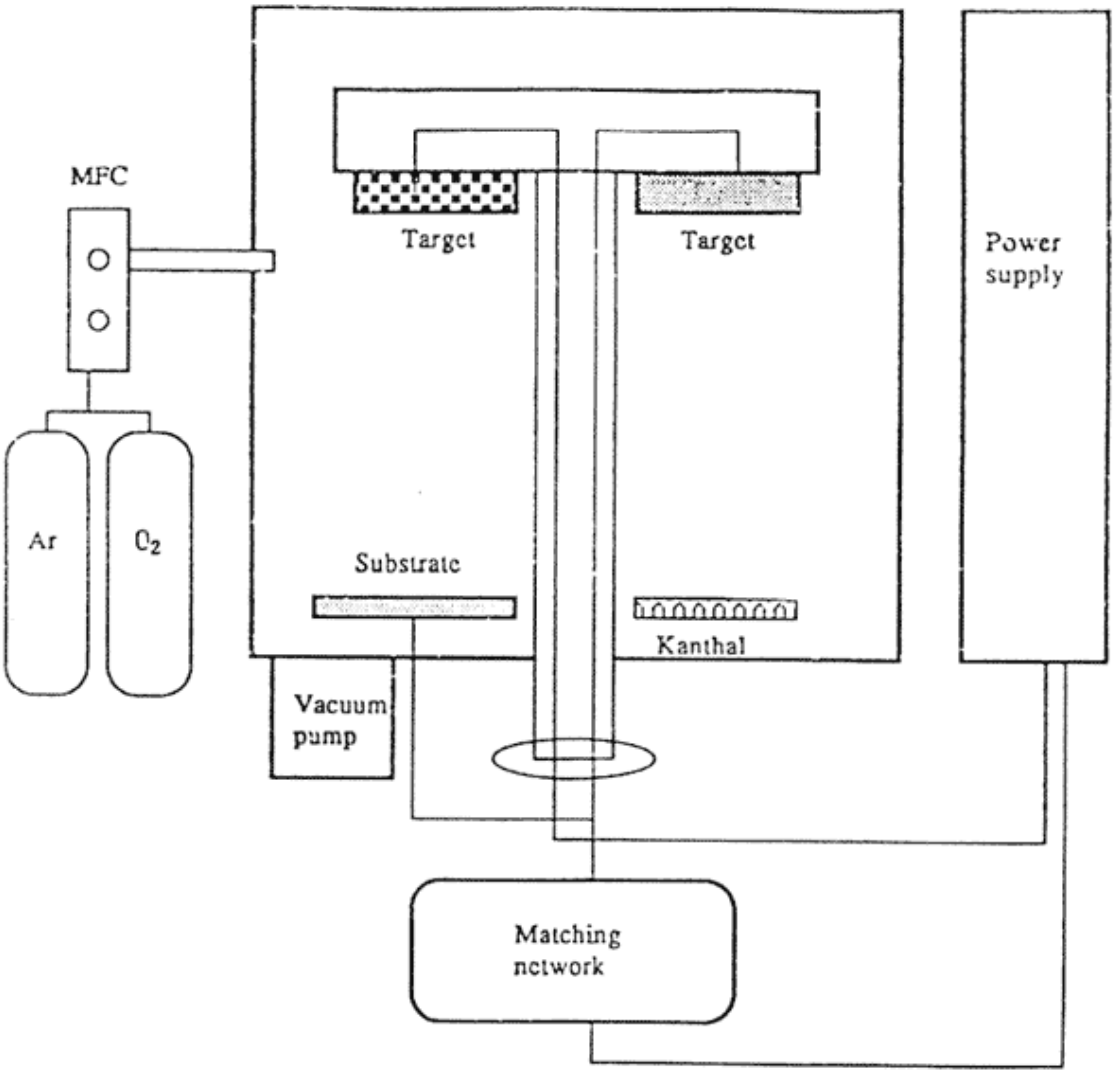


그림 2 DC-magnetron sputtering 장비 개략도

2. 물성분석 및 전기적 측정

증착된 박막의 결정성은 Rigaku x-ray diffractometer로 분석하였고, 표면형상은 JEOL SEM과 광학현미경으로 관찰하였다. 박막의 유전특성은 HP 4194A Impedance Analyser로 100Hz에서 40MHz까지 분석하였다.

제 4 절 결과 및 고찰

1. TaO_x 박막의 증착속도

반응성 스퍼터링에 의한 박막의 성장속도는 두가지 요인에 의해 주로 지배된다. 첫째는 타겟의 스퍼터링 수율이고 둘째는 기판에서의 금속증착물과 반응성 기체 (본실험의 경우는 산소이온)와의 반응이다.
그림 3에 Ar과 산소의 혼합량을 변화시켰을때 증착율의 변화를 나타내었다. 실험에서 Ar의 유속은 60 sccm, 전체 기체 압력은 6×10^{-4} torr로 고정시켰다. 산소의 분율이 증가함에 따라 증착속도가 감소함을 알 수 있다. 이 결과는 산소가 많이 함유될수록 플라즈마내의 산소 이온농도가 증가하여 Ta target 표면이 산화되기 때문으로 판단된다. 순수한 Ta보다 TaO_x 는 sputtering yield가 훨씬 낮으므로 기판에 성장하는 박막의 성장속도가 감소될것이다.
그림 4에 증착중 기판의 온도에 따른 증착속도 변화를 나타내었다.
스퍼터링시 energetic ion이나 전자의 충돌로 기판의 온도는 자연히 증가하게 된다. 본 실험의 경우에는 기판을 가열하지 않아도 거의 150℃까지 기판온도가 올라가는 것이 관찰되었다. 그러나 기판의 온도를 300℃까지 가열하여도 박막의 증착속도는 변화가 없음을 알 수 있다.

그림 5에 스퍼터링시 DC power를 변화시켰을때 증착속도의 변화를 나타내었다. 전력이 증가할수록 증착속도가 단조증가하는 것을 나타낸다. 그러나 전력과 증착속도는 선형적으로 비례하지는 않는다. 그 이유는 증착중에 Ta 타겟에서 표면산화가 동시에 일어나고 sputtering yield가 전력이 증가할수록 더 효율적으로 증가하기 때문으로 보인다.
전체적으로 본 실험에서 수행한 반응성 DC magnetron sputtering의 경우 TaO_x박막의 증착속도가 1000 ~ 10,000 Å/min으로 비교적 높은 값을 나타내어 생산공정에도 적용이 가능한 수준이다.

2. TaO_x 박막의 물성

현재까지의 실험에서는 XRD, SEM, 광학현미경으로 박막을 조사한 상태이다. XRD로 분석한 결과 박막은 비정질상태를 나타내었다 (그림 6참조). 이 결과는 다른 보고들과 잘 일치하는 것으로 저온에서 형성한 TaO_x는 제조방법에 상관없이 비정질 상태가 되고 고온에서 열처리하면 재결정화되는 것으로 알려져 있다.
관찰하기 쉽도록 실리콘 기판 위에 2 μm이상 두껍게 증착한 TaO_x의 단면을 SEM으로 관찰한 결과 전체적으로 균일하고 치밀한 박막이 성장되었음을 알 수 있었다.
TaO_x는 박막 커패시터로 응용되기 때문에 집적소자에서는 MIM(metal-insulator-metal) 구조를 갖게 된다. 현재 GaAs MMIC 공정에서는 하부전극으로 Au/Ti를 대부분 이용하고 있다. 그림 7은 금속박막위에 증착한 TaO_x의 단면 사진이다. (a)는 ETRI에서 e-beam 증착법으로 형성한 Au/Ti 위에 형성된 경우이고, (b)는 스퍼터링으로 증착한 Ta박막위에 증착한 경우이다. 박막의 경계가 선명하지 못하나 대체로 균일한 모양을 나타내고 있다.

TaO_x는 기판온도가 200℃, DC-power가 200W로 증착하였으며, 두께는 약 4000Å이다.
광학사진은 해상력이 떨어지나 전체적인 모양을 관찰하는 데 유리하다. 여러가지 조건에서 TaO_x 박막을 증착한 다음 시편의 표면을 저배율로 살펴보았다. 유전체 표면을 살펴본 결과 Au 위에 증착한 경우 증착조건에 따라 표면 형상이 크게 변화하는 것을 발견하였다. 그림 8에 기판온도가 200℃ 이고 DC power가 각각 100, 300W로 증착한 유전박막의 표면 사진을 비교하였다. 100W 로 증착한 경우 유전체 표면은 가끔 기포가 발견되었으나 전체적으로 평탄하고 깨끗한 표면을 나타내었다. 그러나, 300W의 대전력으로 증착한 유전체 표면은 그림 (b)와 같이 전반적으로 거친 표면을 나타내었다. 그 이유는 TaO_x가 형성되지 않은 Au표면을 관찰함으로써 쉽게 알 수 있었다. 그림 9에 위의 두가지 경우에 대응하는 Au박막의 표면사진을 나타내었다.
100W의 전력으로 sputtering한 경우에는 평탄한 표면을 나타내나, 300W의 경우는 Au가 sputtering 중에 상당한 재결정화가 진행되었음을 나타내고 있다. 그 이유는 증착중에 이온과 타겟에서 sputtered atom들이 기판에 충돌하면서 Au 표면에 상당한 충격을 주어 열처리한 효과를 가져온것으로 보인다.
Au의 재결정화는 기판의 온도가 300℃로 높은 경우에도 진행되었다. 그림 10에 기판의 온도가 300℃인 경우 sputtering후의 Au표면과 Au의에 증착된 TaO_x 박막의 표면을 나타내었다. 이 경우는 Au의 모양이 침상으로 재결정화가 진행되었으며 이에 따라 유전체의 표면도 상당한 거칠기를 보이고 있다. 이와 같은 표면형상은 유전체의 신뢰도에 나쁜 영향을 미칠 것으로 판단된다. 그러나 이와 같은 문제는 하부전극을 Ta을 이용한 경우에는 나타나지 않았다.
그림 11에 Ta위에 형성한 TaO_x 박막의 광학사진을 나타내었다. 이 시편은 증착온도가 300℃로 높은 편이었으나 금속과 유전체 모두 평탄하고 깨끗한 모양을 나타내었다.

그림에서 유전체쪽에 선형무늬가 나타나는 것은 금속쪽에 cover glass를 하여 증착한 관계로 경계면에서 유전체의 두께가 변하여 광학 fringe가 나타난 것이다.

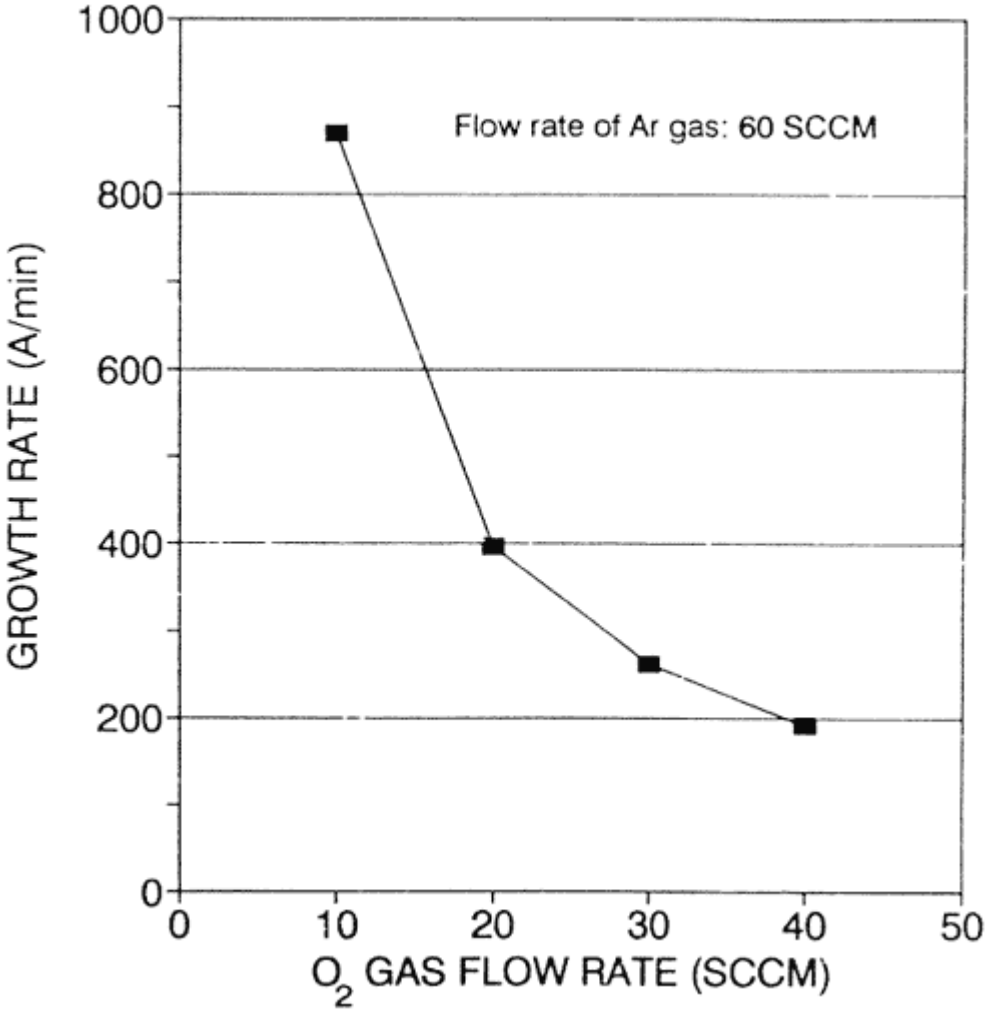


그림 3 Ar과 O_2 혼합량의 변화에 따른 증착률의 변화

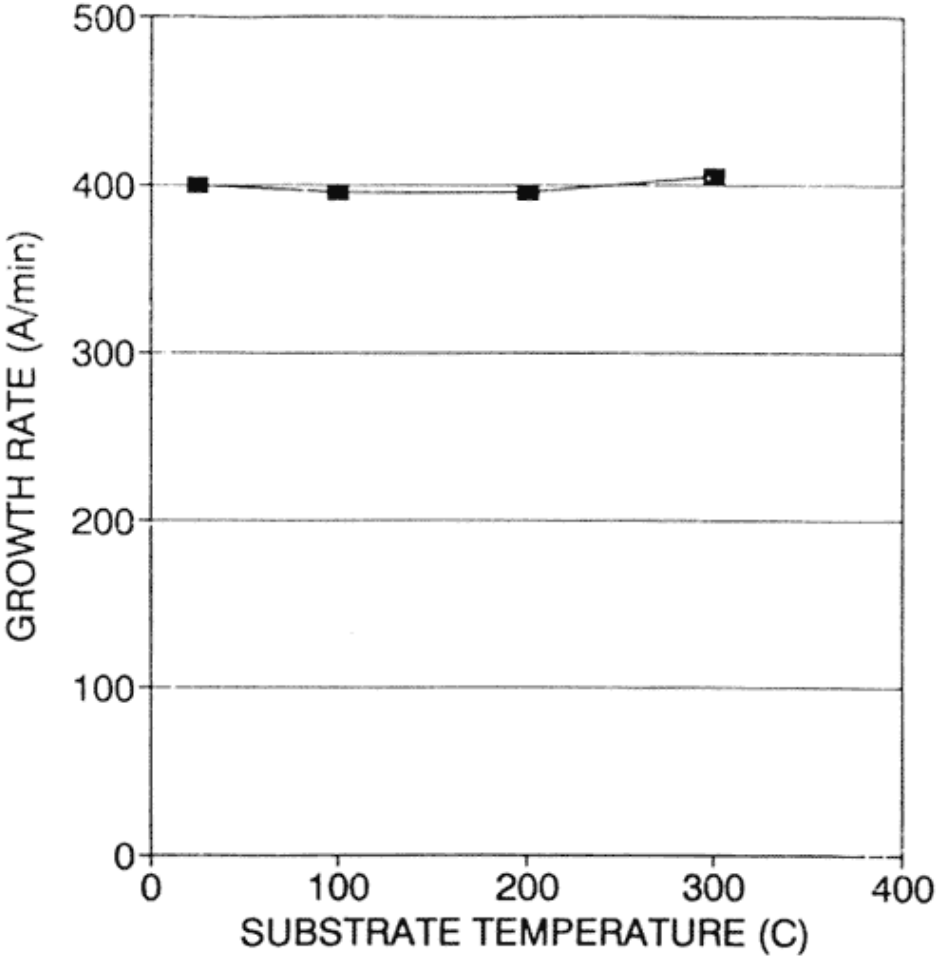


그림 4 기판온도의 변화에 따른 증착률의 변화

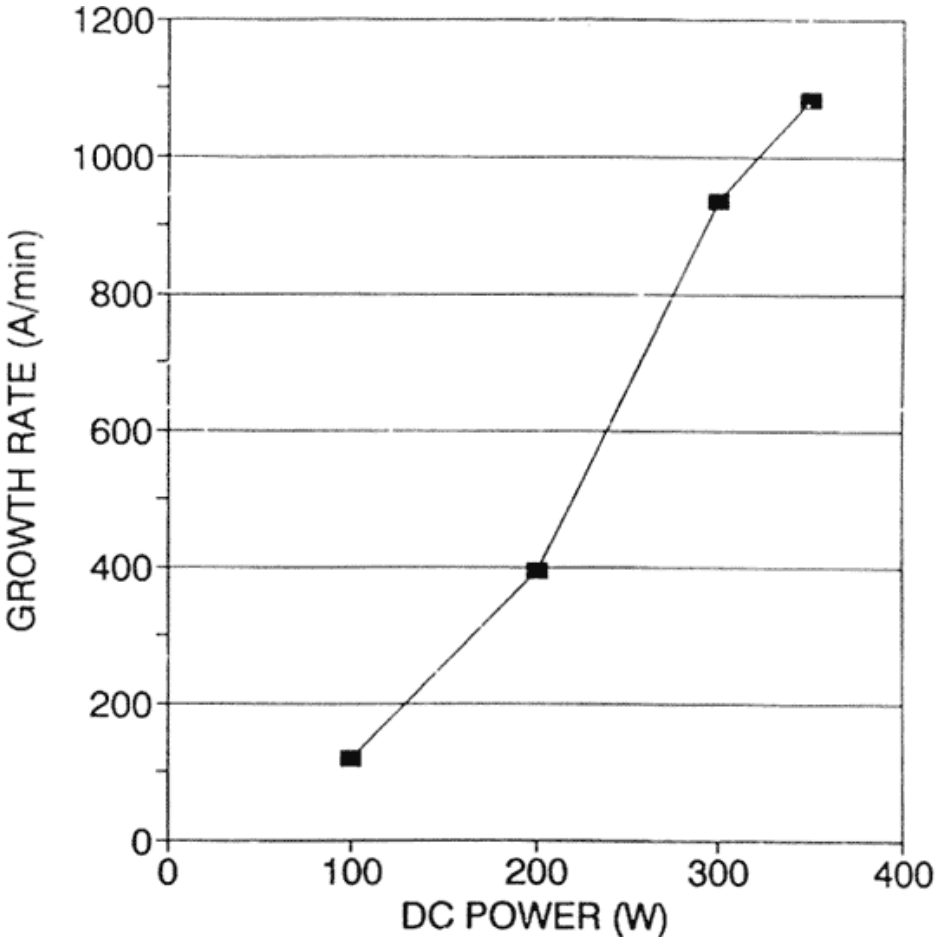


그림 5 DC power의 변화에 따른 증착률의 변화

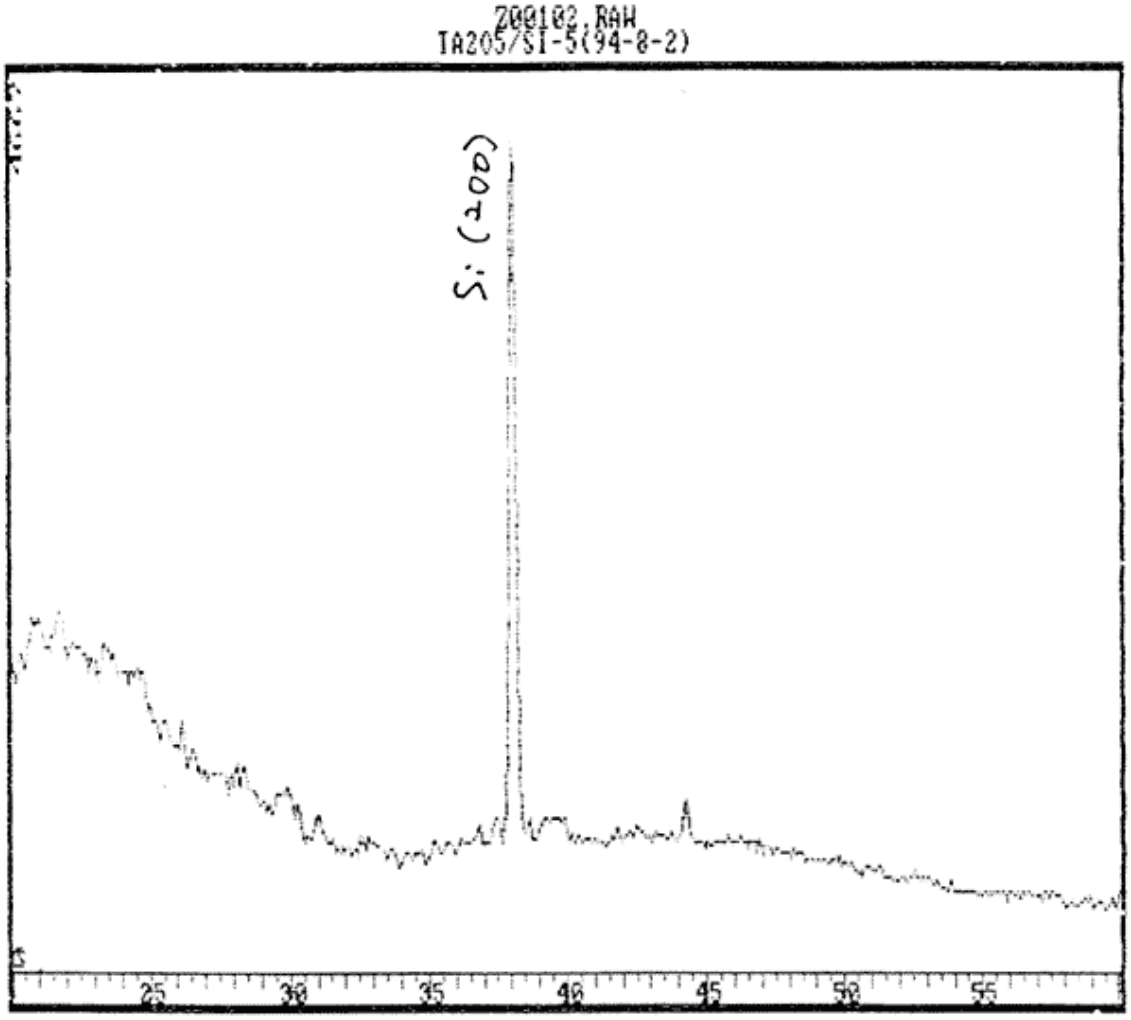


그림 6 Sputtering법으로 증착한 Ta_2O_5 박막의 XRD 스펙트럼

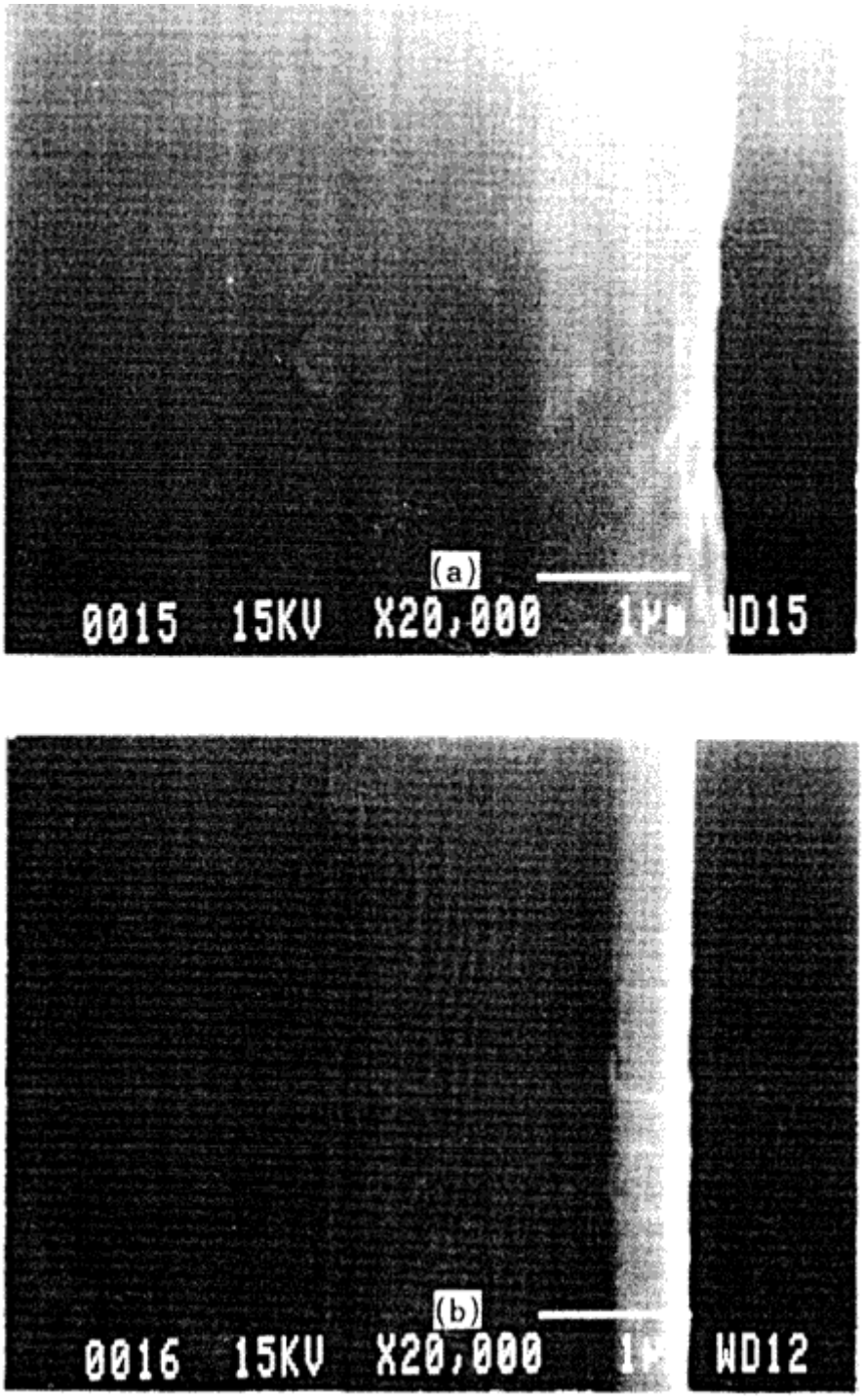


그림 7 두종류의 금속전극위에 중착한 Ta_2O_5 박막의 단면 SEM 사진
(중착조건은 DC power는 200W, 기판온도는 200℃)
(a) TaOx/Au/Ti/Si (b) TaOx/Ta/Si

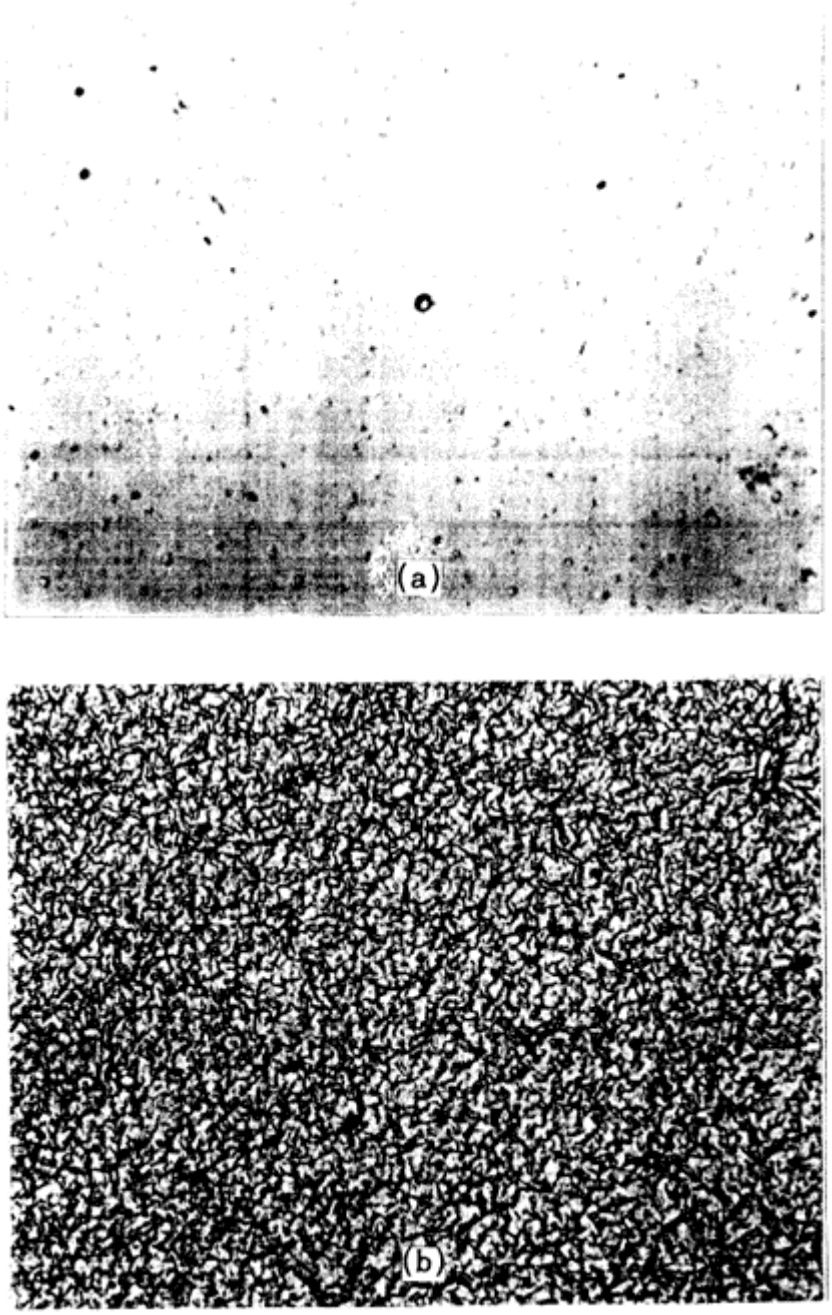


그림 8 기판온도가 200℃이고 전력이 다른 경우 유전박막의
표면 사진(×250) (a) 100W (b)200W

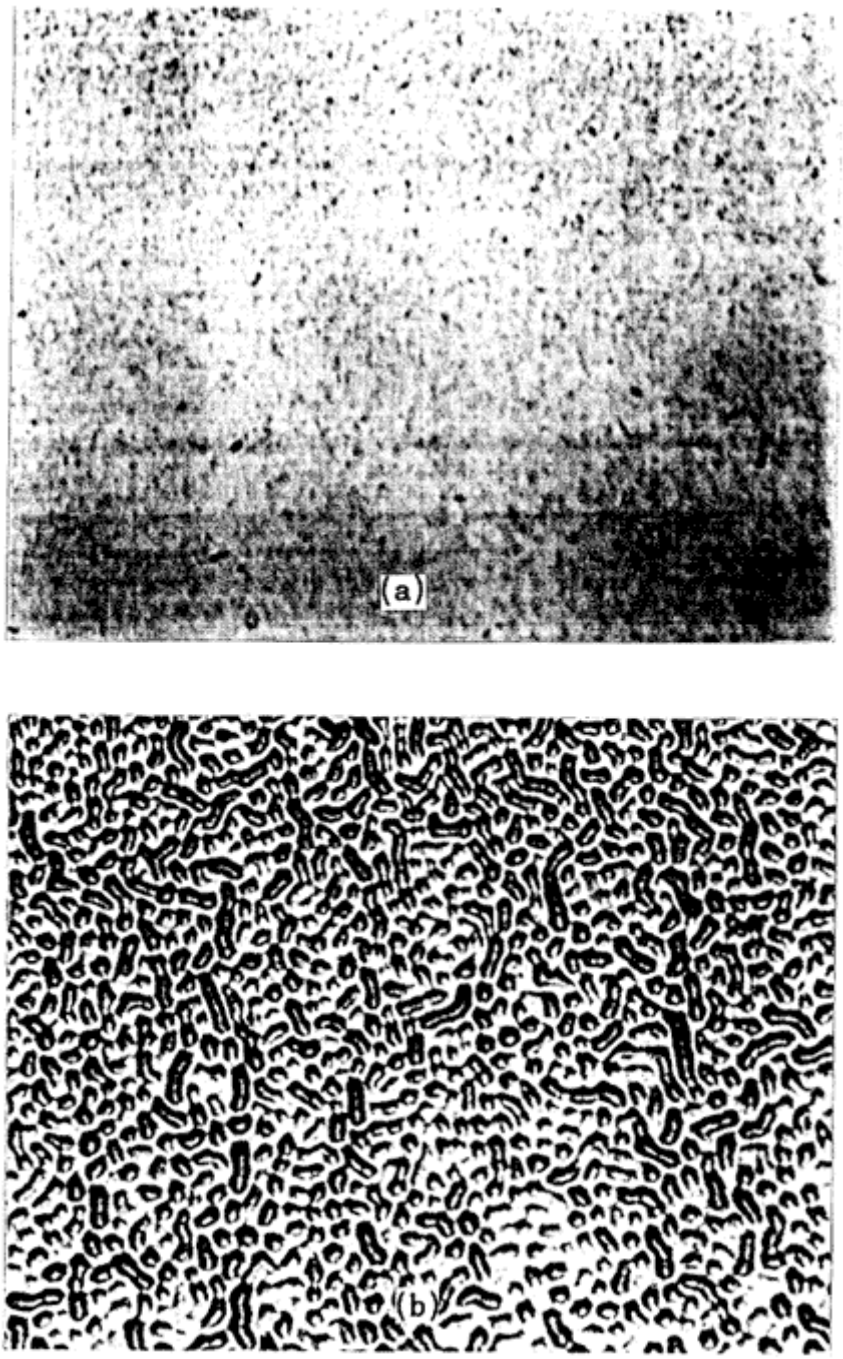


그림 9 Power가 다른 경우 sputtering후의 Au 표면 광학사진 (×250),
기판온도는 200℃이고 power는 각각 (a) 100W, (b) 300W

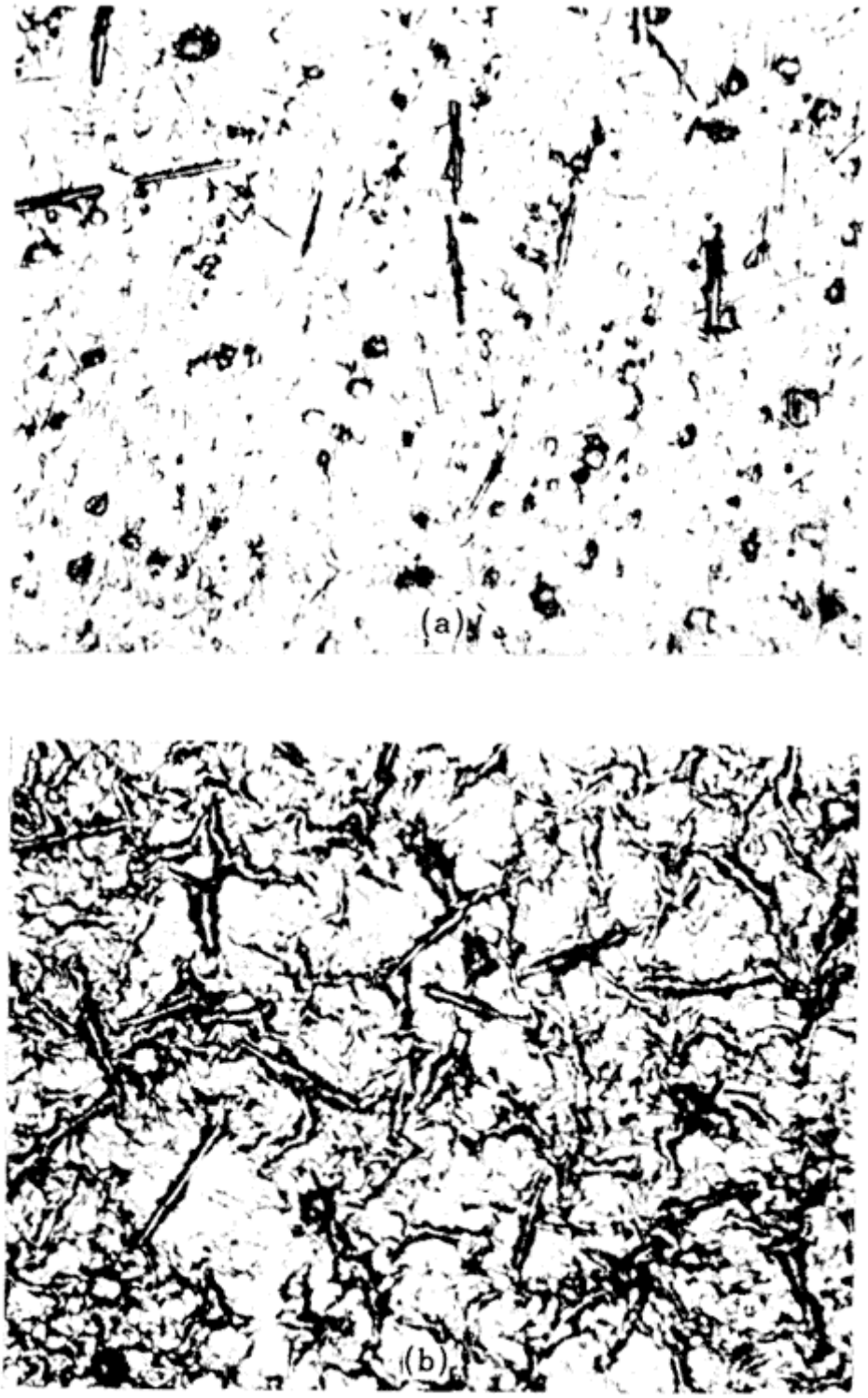


그림 10 기판온도가 300℃인 경우 중착후 표면 광학사진 (×250)
(a) Au 표면 (b) Au위에 중착된 TaOx의 표면

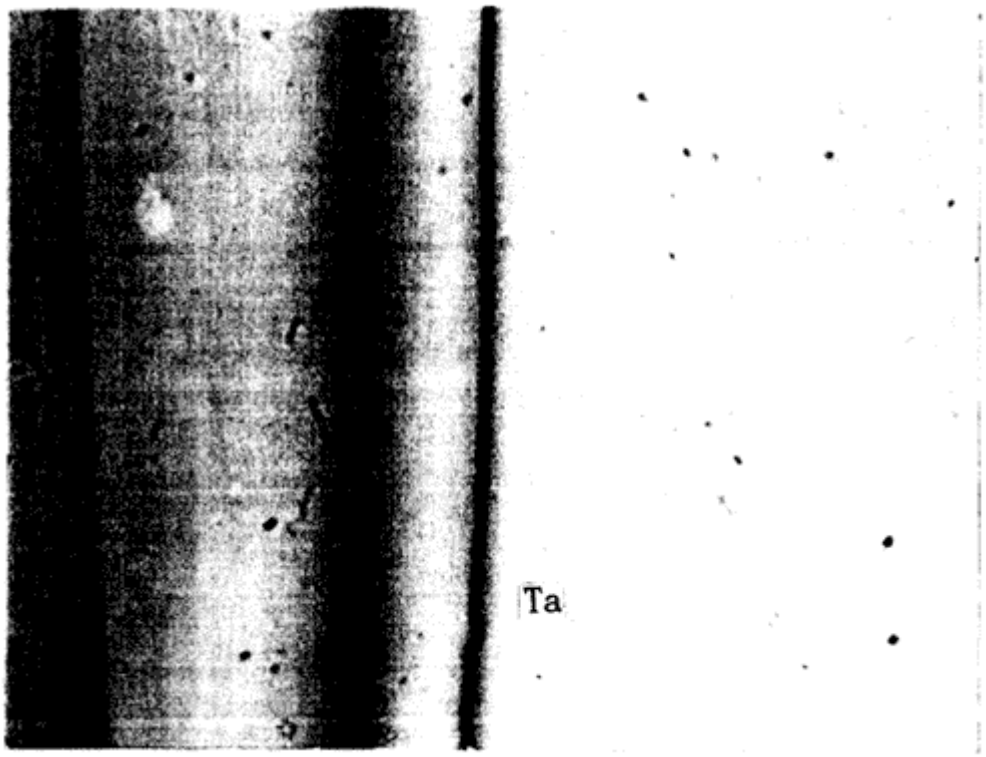


그림 11 Ta위에 중착한 Ta_2O_5와 Ta의 경계 사진 (×250)
(기판온도는 300℃, power는 200W)

3. TaO_x 박막의 유전특성

Au와 Ta을 하부전극으로 이용한 경우에 TaO_x 를 증착한 다음 metal shadow mask를 써서 유전체 박막위에 Ag를 증착하여 dot 패턴의 전극을 형성하여 MIM capacitor를 형성하여 유전특성을 살펴보았다. Dot형태의 전극크기는 0.3 ~ 1mm 범위에 들었으며, 측정한 전극의 표면을 광학사진으로 촬영한 다음 정확한 면적을 계산하여 유전율을 계산하였다. 측정된 유전율은 제조조건에 따라 변화가 있었으나 유전손실은 전체적으로 1% 전후의 양호한 값을 나타내었다. 일반적으로 유전손실은 측정시 전극상태에 따라 매우 민감하게 변화하므로 절대값을 구하기 어렵다. 참고로 유전율은 다음식으로 간단히 구할 수 있다.

Capacitance = $\varepsilon_o\varepsilon_r$ (area)/(thickness)

윗식에서 ε_r 는 절대유전율로 8.854×10^{12} F/m이고, ε_r는 상대유전율이다. 표 4에 증착조건에 따른 유전율의 변화를 나타내었다. 전체적으로 두가지 특징을 볼 수 있다. Au를 하부전극으로 형성된 TaO_x의 겉보기 유전율이 Ta을 하부전극으로 형성된 유전박막보다 높은 유전율을 보이고 있다. 그리고 그 값들은 각각 Au 전극의 경우 23 ~ 55, Ta 전극의 경우 17 ~ 29의 범위이다. 제 2 장의 표 2에서 볼수 있듯이 기존에 발표된 연구보고에 의하면 TaO_x 박막의 유전율은 제조방법에 무관하게 대략 25인 것을 감안할 때, Ta 전극인 경우는 합리적인 값을 나타내나, Au 하부전극인 경우는 비교적 높은 값을 보이고 있다. 정확한 원인은 더 연구해 볼 필요가 있지만, 이미 앞에서 광학현미경으로 관찰된 바와 같이 sputtering후에 Au 박막의 재결정화가 진행되어 Au 표면이 굴곡이 심한 형상을 나타내므로, 유효면적은 겉보기보다 증가하게 된 것이 주된 원인으로 생각된다. 실제 SiDRAM의 경우 커패시터의 실효 정전용량을 높이기 위하여 의도적으로 하부전극인 poly-Si의 형상을 굴곡을 주는 rugged type cell이 많이 연구되고 있다.

또 다른 한가지 특징은 Au 하부전극의 시편들은 유전손실이 전체적으로 1%이하의 값을 나타내어 우수한 특성을 나타내나, Ta 하부전극의 경우는 유전손실이 3-10%로 비교적 큰 값을 보이고 있다. 이 이유는 본 실험에서 형성된 Ta 박막의 전기저항이 크기 때문으로 보인다. 전극의 직렬 저항이 증가하면 회로적으로 유전손실이 증가하게 된다. 금속 전극의 저항을 대략 측정한 결과 Au의 경우는 면저항이 1 Ω/▫이하의 값을 나타내었으나, Ta 박막은 1000 Ω/▫정도의 높은 값을 보였다. 그 이유는 TaO_x가 표면에 상당이 두껍게 형성되어 있는 상태로 전극금속을 스퍼터 증착한 결과로 생각된다. TaO_x capacitor의 주파수 변화에 따른 유전특성의 변화를 살펴본 결과 정전용량과 유전손실이 측정범위내에서 변화가 없음을 알았다.

그림 12에 한 시편의 유전특성의 주파수 의존성을 나타내었다. 대략 20 MHz부근에서 RLC 공진이 관찰되나 이것은 재료 자체의 문제가 아니라 측정회로상의 문제이다. 몇가지 시편의 C-V 특성을 측정한 결과 capacitance는 -20 ~ 20V의 범위에서 DC bias 전압에 변화가 없었다. 그러나 그 이전에 절연파괴가 일어나는 현상이 많이 발견되었다.

스퍼터 증착된 TaO_x MIM capacitor의 전류-전압 특성을 전체적으로 측정하였다. 전반적으로 누설전류가 큰 편이었고, 절연파괴 전압은 수V 이하의 불량한 특성을 나타내었다. Sputtering 방법으로 형성된 TaO_x는 일반적으로 증착 후 열처리를 600-1000℃에서 하면 개선되는 것으로 알려져 있다. 그러나 GaAs용 TaO_x는 고온 열처리를 할 수가 없으므로 as-grown 상태의 특성이 중요하다. 특성면에서는 Au 전극위에 형성된 TaO_x보다 더 불량하였다. 그러나 그림 13에 나타낸 것처럼 Ta 전극위에 형성된 TaO_x MIM capacitor는 몇몇 제조조건에서 특성이 비교적 양호하였다.

표 4 Reactive DC-Magnetron Sputtering으로 제작한 TaO_x MIM Capacitor의 유전특성

시편 No.	제조조건	박막두께 (Å)	Au 하부전극		Ta 하부전극	
			겉보기유전율	유전손실(%)	겉보기유전율	유전손실(%)
4	$Ar:O_2$ = 60:10, P=200W, Ts=200℃	8700	27.59	5.44×10^{-3}	23.1	10.2
6	$Ar:O_2$ = 60:20, P=200W, Ts=200℃	3950	35.4	0.71		
7	$Ar:O_2$ = 60:30, P=200W, Ts=200℃	2600	26.63	0.71	23.5	5.9
8	$Ar:O_2$ = 60:40, P=200W, Ts=200℃	1900	25.55	0.8	17.78	6.6
9	$Ar:O_2$ = 60:20, P=200W, Ts=R.T	4000	23.89	0.8		
10	$Ar:O_2$ = 60:20, P=200W, Ts=100℃	3950			29.58	3.5
11	$Ar:O_2$ = 60:20, P=200W, Ts=300℃	4050	55.04	1.0	26.09	3.3
12	$Ar:O_2$ = 60:20, P=100W, Ts=200℃	2350	28.85	1.1	23.39	5.7
13	$Ar:O_2$ = 60:20, P=300W, Ts=200℃	6550	24.46	2.9	20.78	9.0

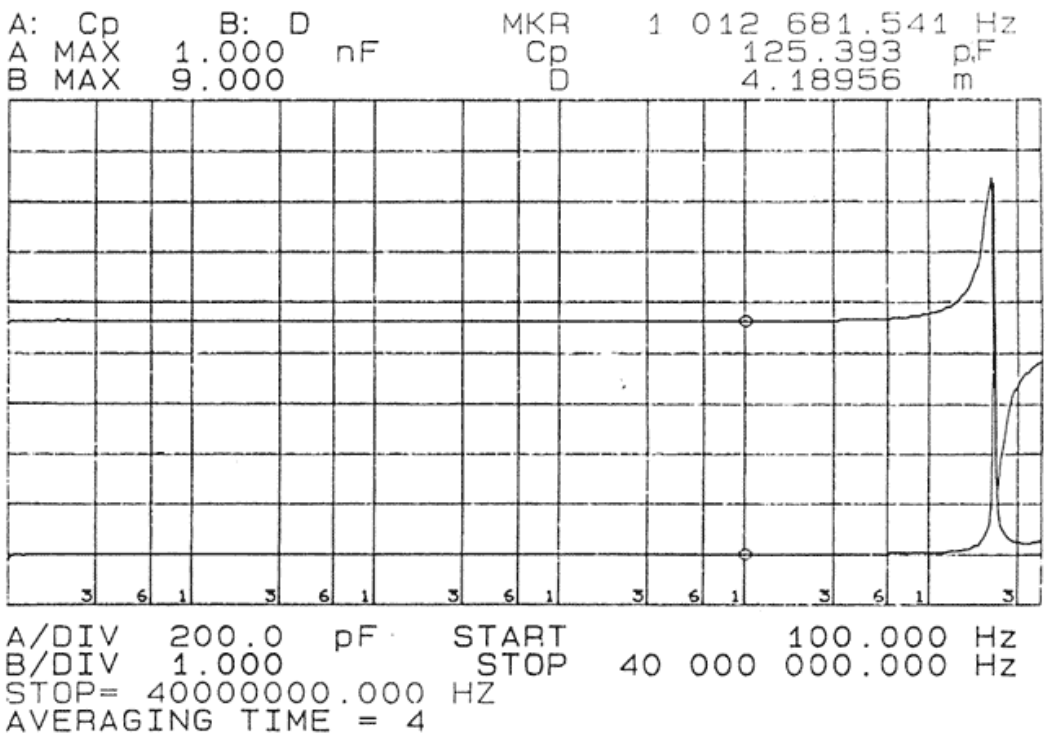


그림 12 Capacitance와 유전손실의 주파수 의존성

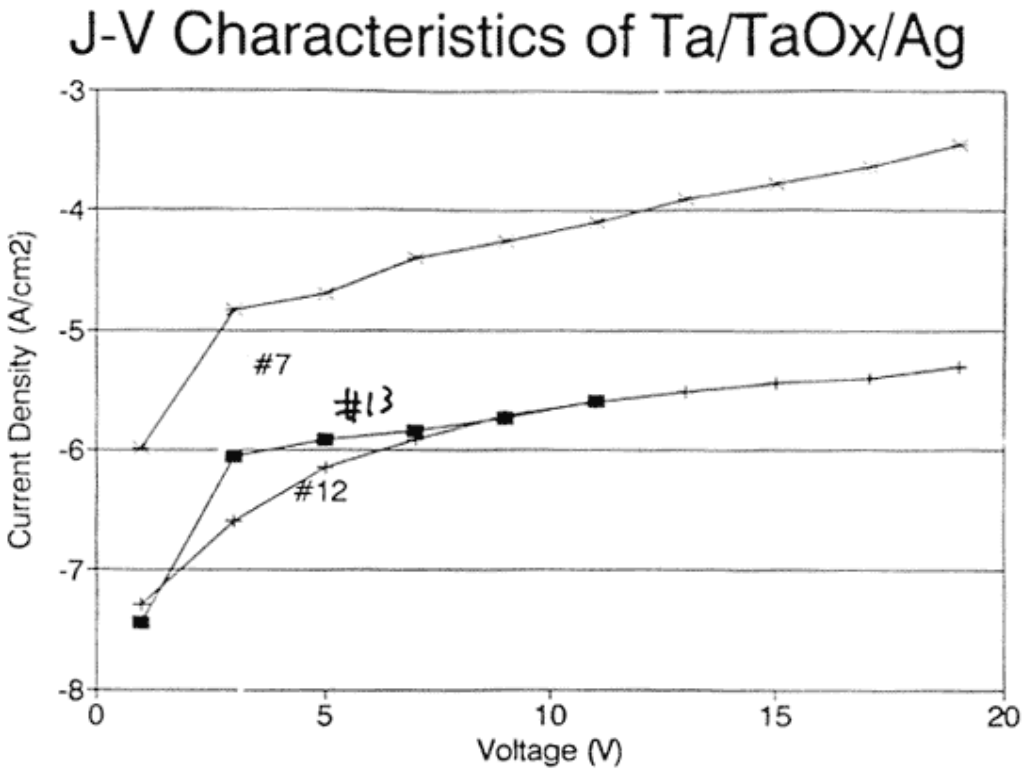


그림 13 TaO_x 전류-전압 특성

참고문헌

[1] R.E Williams, “Gallium Arsenide Processing Techniques”, Artech House. 1984.

[2] Isaku Kanno, Shigenori Hayashi, Takeshi Kamada, Masatoshi Kitagawa and Takashi Hirao, "Preparation of $Pb(Zr,Ti)O_3$ Thin Films on $(Pb,La)TiO_3$ Buffer Layer by Multi-Ion-Beam Sputtering", Extended Abstracts of the 1993 International Conference on Solid State Device and Materials, Makuhari, pp. 868-870, 1993.

[3] Shigeo Ohinishi, Masaya Komai, Kazuya Ishihara Keizo Sakiyama, Masaru Shimizu and Tadashi Shiosaki, "Oxygen Enhanced Dissociaion Effect on MOCVD PZT Thin Film, Extended Abstracts of the 1993 International Conference on Solid State Device and Materials, Makuhari, pp. 871-873, 1993.

[4] T. Eimori, Y. Ohno, H. Kimura J. Matsufusa S. Kishimura A. Yoshida H. Sumitani, T. Maruyama Y. Hayashide, k. Moriizumi, T. Katayama M. Asakura T. Horikawa T. Shibano, H. Itoh, K. Sato, K. Namba, T. Nishimura, S. Satoh and H. Miyoshi, "A Newly Designed Planar Stacked Capacitor Cell with High Dielectric Constant Film for 256 Mbit DRAM", IEEE IEDM 93,pp. 631-634.

[5] E. Fujii, Y. Uemoto, S. Hayashi, T .Nasu, Y. Shimada A. Matsuda, M. Kibe, M. Azuma Ti Otsuki, G. Kano, M. Scott, L. D. McMillan and C. A. Paz de Araujo, "ULSI DRAM Technology with $Ba_{0.7}Sr_{0.3}TaO_3$ Film of 1.3nm Equivalent SiO_2 Thickness and $10^{-9}A/cm^2$ Leakage Current",IEEE IEDM 92, pp. 267-270.

[6] J. Lee, C. Sudhama, J. Kim, R. Khamankar, "High Dielectric Constant Ferroelectric Thin Film for DRAM Application", Extended Abstracts of the 1993 International Conference on Solid State Device and Materials, Makuhari, pp. 850-852, 1993.

[7] 표 1참조.

[8] S. Nagata, T. Ueda, "A GaAs MMIC Chip-Set for Mobile Communications Using On-Chip Ferroelectric Capacitors", IEEE International Solid-State Circuits Conference, pp. 172-173, FEB. 1993.

[9] 이병헌, 강회일, 문병주, "반도체 소자기술", 제10장 유전체 IC, 1993. 12.

[10] 최덕균, “반도체 재료로서의 세라믹스”, 월간세라믹스 1992.3월호, pp. 72-5.

[11] David J. Smith, Lawrence Young, “Optical and Electrical Properties of Thermal Tantalum Oxide Films on Silicon", IEEE Trans. Electron Devices, Vol. ED-28, No. 1, pp. 22-27, Jan. 1981.

[12] M. E. Elta, A. Chu, L. J. Mahoney, R. T. Cerretani and W. E. Courtney, “Tantalum Oxide Capacitors for GaAs Monolithic Intergrated Circuits", IEEE Electron Devices Letters, Vol. EDL-3, No. 5, pp. 127-129, May 1982.

[13] G. S. Oehriein, F. M. d'Heurle and A. Reisman, "Some Properties of Crystallized Tantalum Pentoxide Thin Films on Silicon", J. Appl. Phys.. 55(10), 15 pp. 3715-3725, May 1984.

[14] M. Saitoh, T. Mori and H. Tamura, "Electrical Properties of Thin Ta_2O_5 Films

Grown by Chemical Vapor Deposition", IEEE IEDM 86, pp. 680-687.
[15] 1986 IEDM, p. 684.

[16] S. Banerjee, B. Shen, I. Chen, J. Bohlman, G. Brown, R. Doering, "Conduction Mechanisms in Sputtered Ta_2O_5 on Si with an Interfacial SiO_2 Layer", J. Appl. Phys., pp. 1140-1146, Feb. 1989.
[17] S. G. Byeon and Y. Tzeng, "Charge Trapping/Generation and Reliability for High-Perfomance Tantalum Oxide Capacitors", J. Appl. Phys.. 66(10), 15 pp. 4837-4842, NOV. 1989.
[18] 김영욱, 권기원, 하정민, 강창석, 선용빈, 김영남, "DRAM 커패시터용 Ta_2O_5 박막의 전기적 특성에 미치는 전극의존도," 한국재료학회지, pp. 229-235, 8 OCT. 1992.
[19] Sung Wook Park, Ho Bin Im, "Effects of Oxidation Conditions on the Properties of Tantalum Oxide Films on Silicon Substrates", Thin Solid Films. 207, pp. 258-264, 1992.
[20] P. C. Fazan, V. K. Mathews, N. Sandler, G. Q. Lo and D. L. Kwong, "A High-C Capacitor(20.4fF/μm^2) with Ultrathin CVD-Ta_2O_5 Films Deposited on Rugged Poly-Si for High Density DRAMs", IEEE IEDM 92, pp. 263-266, 1992.
[21] Satoshi Kamiyma Pierre-Yves Lesaicherre, Akihiko Ishitani, Akira Sakai, Akio Tanikawa and Iwao Nishiyama, Characterization of Ultra-Thin Capacitors Fabricated Using RTN Treatment Prior to CVD Ta_2O_5 Film Formation", Extended Abstracts of the 1992 International Conference on Solid State Device and Materials, Tsukuba pp. 521-523, 1992.
[22,23] H. S. Park, Y. K. Beak, J. C. Kim, S. H. Choi and K. H. Oh, "Effect of Post-Deposition Annealing and Electrode Materials on the Characteristics of Tantalum Oxide Films Deposited hy Plasma-Enhanced Chemical Vapor Deposition", Extended Abstracts of the 1992 International Conference on Solid State Device and Materials, Tsukuba, pp. 524-526, 1992.
[24] P. A. Murawala, M. Sawai, T. Tatsuta and O. Tsuji, "Plasma Enhanced Liquid Source-CVD and Rapid Thermal Annealing of Tantalum Penta Oxide Dielectric Materials", Extended Abstracts of the 1992 International Conference on Solid State Device and Materials, Tsukuba pp. 527-529, 1992.
[25] S. kamiyama, H. Suzuki, H. Watanabe, A. Sakai, M. Oshida, T. Tatsumi, T. Tanigawa, N. Kasai and A. Ishitani, "Ultra-Thin TiN/Ta_2O_5/W capacitor Technology for 1Gbit DRAM", IEEE IDEM 93, pp. 49-52.
[26] K. W. Kwom, S. O. Park, C. S. Kang, Y. N. Kim, S. T. Ahn and M. Y. Lee, "Degradation-Free Ta_2O_5 Capacitor after BPSG Reflow at 850℃ for High Density DRAMs", IEEE IDEM 93, pp. 53-56.
[27] Hideaki Masuhashi and Satoshi Nishikawa, "Optinum Electrode Materials for Capacitors at High and Low Temperature Processes", Extended Abstracts of the 1993 International Conference on Solid State Device and Materials, Makuhari, pp. 853-855, 1993.
[28] V. K. Mathews, G. S. Sandhu, N. Sandler and P. C. Fazan, "Electrical Characterization of RTN-Poly-Si/CVD-Ta_2O_5/CVD-TiN Stacked DRAM Capacitors", Extended Abstracts of the 1993 International Conference on Solid State

Device and Materials, Makuhari, pp. 856-858, 1993.
[29] Hrioshi Suzuki, Satoshi Kamiyama, Hiroshi Watanabe, Akria Sakai and Akihito Ishitani, "Highly Reliable Ultra-Thin Ta_2O_5 Capacitor Process Technology by Using O_2-Plasma Annealing Below 400℃",Extended Abstracts of the 1993 International Conference on Solid State Device and Materials, Makuhari, pp. 862-864, 1993.
[30] Satoshi Tanimoto, Yushi Shichi, Koichi Kuroiwa and Yasuo Tarui, "Behavior of Substrate-Originating Si Atoms during Chemical Vapor Deposition and Subsequent Active Oxygen Annealing of Tantalum Penyoxide film", Extended Abstracts of the 1993 International Conference on Solid State Device and Materials, Makuhari, pp. 859-861, 1993.
[31] 백용구, 은용석, 박영진, 김종철, 최수한, "고온 공정에서 Ta_2O_5 절연막과 TiN의 반응성 조사",

제 3 장 세라믹 BST 유전체와 RE magnetron sputtering을 이용한 BST 박막에 관한 연구

제 1 절 서 언

강유전체 재료 (ferroelectric materials)는 전기절연체 재료 중 유전체(dielectric)재료로서 원자들의 배열 대칭성 (symmetry)에 따라 분류했을 때 최하부구조에 속하는 재료이다. 이들은 유전 (dielectric), 압전 (piezoelecrtic), 초전 (pyroelectric)특성을 동시에 가지며 외부에서 전장 (electric field)을 인가하였을 때 재료의 분극 (polarization)방향이 가역적으로 변화될 수 있는 재료를 말한다. 이들이 가지고 있는 독특한 성질들은 첫째, 영구 쌍극자 사이의 정전기적 상호작용이 강하여 의부 전기장이 없어도 유전분극이 야기되는 자발분극 (spontaneous polarization)을 가지며 둘째, 강유전 분역구조(ferroelectric domain)로 구성되어 있고, 마지막으로 온도 증가시 열적효과로 자발분극이 감소하며 큐리점 (curie point) 이상에서는 상유전상으로 전이하여 온도에 따른 유전특성이 큐리-바이스(curie-weiss law)법칙을 따른다. 이들 강유전체 재료는 결정학적으로 대부분 페로프스카이트(perovskite) 구조를 가지며, 대표적인 강유전체 재료의 예는 BT($BaTiO_3$), BST($Ba_{1-x}Sr_xTiO_3$), PZT ($PbZr_{1-x},Ti_xO_3$), PLZT ($Pb_{1-x}La_xZr_{1-y}Ti_yO_3$) 등이 있다[1].

이러한 강유전체 재료들은 결정학적 특징에서 나오는 유전, 압전, 초전, 강유전특성을 이용할 수 있는 많은 잠재적 응용성을 갖고 있다. 최근에 이러한 강유전체 재료를 박막화함으로써 구동전압을 낮추어 microelectronics 분야에 응용하고자 하는 연구가 활발하다.

[2-3] 이러한 강유전체재료를 박막화하는 기술은 기존의 박막기술을 그대로 적용할 수가 있으며 현재 연구되고있는 강유전체 박막기술은 각종 sputtering[4-15] ,sol-gel[15], laser ablation[17], CVD법[18] 그리고 sol-gel법과 CVD법을 혼합한 LSCVD[19]까지 활발히 연구되고 있다. 유전체 세라믹(dielectric ceramic)을 LSI (large scale integrated-circuit)에서 활용함에 있어 두 가지의 응용방안이 있다. 하나는 종래에 비해 자릿수 (order)가 다른 대용량 콘덴서(condensor)를 LSI에 탑재, 즉 내장할 수 있다는 것이고, 또 하나는 데이터를 재빠르게 고쳐쓸수 있고 전원을 끊어버리더라도 (off) 데이터가 지워지지 않는 불휘발성메모리 LSI를 실현할 수 있다는 것이다. 이것은 강유전체 박막을 이용한 것으로써 원리적으로는 종래보다 수백배의 대용량 콘덴서를 내장할 수 있으나 아직은 기술상 수십배 밖에 달성하지 못하고 있다. 그리고 강유전체 박막기술의 이용으로써 동작속도는 SRAM 정도로 달성했지만, 현재의 강유전체 박막기술로서는 PZT 박막의 열화(劣化)때문에 데이터의 고쳐쓰기/읽어내기 회수에 제한 (10^8회)이 있다. 당장은 소규모의 EEPROM (electrically erasable and programmable read only memory)을 치환할 수 있는 수준에 있다.

일본 마쓰시타 전자공업이 '93년 2월에 고유전체 세라믹 콘덴서를 탑재한 갈륨비소 (GaAs)의 고주파 IC를 샘플출하 하였는데 리드 인덕턴스(lead inductance)가 없어지고 성능이 높고 사용하기 쉬운 IC가 가능하다는 것을 보여주었다.[15] 또한 아날로그-디지털 혼재 LSI를 시험제작하여 외부로 나오는 잡음의 강도를 종래보다 약 2/3 줄일 수 있음을 보여줌으로써 LSI 사용자가 잡음대책에 그만큼 신경을 쓰지 않아도 되게 되었다. 현재 DRAM에 고유전체 박막을 사용하기 위한 연구가 NEC를 비롯한 일본 대기업 반도체 메이커간에 활발히 연구되고 있다.

본 장에서는 GaAs MMIC의 커패시터 재료로 응용하기 위하여$Ba_{1-x}Sr_xTiO_3$를 연구한 결과를 정리하였다.

먼저 집적소자용 BST의 응용 및 기술현황을 제 2 절에 정리하였고, 현재까지 BST에 대한 실험방법 및 결과를 제 3 절, 제 4 절에 정리하였다. 본 연구에서는 먼저 BST의 bulk 특성을 이해하기 위해 세라믹 BST를 제조하여 특성을 분석하였다. BST박막에 대한 연구는 현재 진행중이며 현재까지의 결과를 본 보고서에 나타내었다.

제 2 절 반도체 집적소자용 고유전체 박막 기술현황

1. 개 요

집적소자의 집적화에 따라 정보를 저장하거나 수동부품으로 사용되는 커패시터의 크기가 작아지고 고신뢰화되는 것을 요구한다. 실리콘 기억소자의 경우 DRAM cell에서 커패시터가 차지하는 면적은 비중이 크며 소자의 고집적화에 따라 전극면적이 감소하게 된다. 한편 갈륨비소 (GaAs)의 경우도 MMIC에 이용되는 passive element 중에서 커패시터의 비중은 가장 크며 소자의 면적도 무시할 수 없는 크기이다. 지금까지 커패시터용 유전체로는 실리콘 IC의 경우 SiO_2, ONO등이 이용되어 왔으며, GaAs MMIC의 경우 SiN_x가 주종을 이루어 왔다. 이들 재료는 반도체 기술의 발전과 더불어 오랜기간 동안 기술이 축적되어 고신뢰성, 전기적 안정성 등 제조공정상의 기술면에서 이미 성숙되어 있으나 본질적으로 유전율이 작기 때문에 소자의 크기를 줄이기 위해서는 박막의 두께를 감소시켜야 하는 제약이 따른다. 결과적으로 박막의 두께가 얇아짐에 따라 미세한 재료적인 결함에도 소자의 오동작이나 신뢰성에 문제가 유발되어 유전율이 크며 재료적으로 안정한 소자개발이 요구된다.

이러한 요구조건을 충족시키기 위해 고유전율 박막재료의 제조기술에 대한 연구가 국내 뿐만 아니라 전세계적으로 반도체 분야의 중요한 과제가 되었다[10]. 이러한 재료의 후보로 연구되고 있는 강유전체 박막의 기술현황을 BST를 중심으로 본 절에서 간략히 살펴보았다.

2. 강유전체 박막의 응용

강유전체는 응용범위가 매우 다양하다. 최근에 강유전체를 박막화 했을 때 당장 실용성이 부가되는 분야는 다음의 세가지 예를 들 수 있다.

- Si DRAM cell의 초소형 고집적 capacitor
- FRAM (ferroelectric random access memory)
- GaAs MMIC의 대용량 capacitor

가. DRAM capacitor용 유전막

최근 반도체 메모리 소자의 초고집적화 bit당 cost 삭감이라는 시장 요구에 따라 DRAM의 집적도는 4배/3년의 phase로 향상되어 왔으며 현재는 0.8μm rule의 4Mbit DRAM이 양산화되고 0.6μm rule 제 1세대 16Mbit DRAM이 출하하기 시작했다. 제품개발의 주체는 deep-submicron의 64Mbit DRAM으로 이행되고 연구의 최전선에는 256Mbit, 1Gbit 기술이 연구되고 있다. 기존의 DRAM 구조에서 안정된 동작을 유지하기 위해서는 최소한 단위 cell당 충전용량이 20fF 이상이 필요한 것으로 알려지고 있으며 DRAM 동작전압이 점차 5V에서 3.3V 혹은 더 낮은 전압으로 낮아짐에 따라 충전용량은 더욱 증가하게 된다.
Capacitor의 dielectric 박막에 의한 충전용량은 다음과 같은 식으로 표현된다.

$C = \varepsilon_o \cdot \varepsilon \cdot A/d$

ε_o는 진공의 유전율, ε는 dielectric 박막의 유전율, A는 capacitor의 면적 그리고 d는 dielectric 박막의 두께이다. 위의 식에서 알수 있듯이 충전용량이 증가는 dielectric 박막의 두께감소, capacitor의 면적 증가 그리고 고유전율 재료의 도입으로 꾀할 수 있다. 기존에 사용되고 있는 silicon oxide (SiO_2), silicon nitride (Si_3N_4) 혹은 SiO_2/Si_3N_4 층은 64Mbit DRAM에서 물리적 한계인 4nm-5nm에 도달하게 되며 이러한 두께에서는 device의 신뢰성 문제가 심각해진다. Capacitor의 면적을 높이는 방법으로 DRAM cell 구조를 형성하는 transistor와 capacitor를 3차원적으로 공간상에 배치하면 평면구조에 비해 각 소자의 면적과 간격을 넓게 확보할 수 있다.

4Mbit 이상의 DRAM에서는 capacitor 구조를 trench혹은 stack의 구조형태로 사용되고 있으며 64Mbit 이상에서는 종래의 이들 구조보다 더 복잡한 구조가 요구되고 있다. 현재 일반적으로 사용되고 있는 silicon oxide, silicon nitride보다 큰 유전율을 갖는 dielectric 재료의 특성을 표 3에 나타내었다.[3]

강유전체는 유전율이 수백으로 높을 뿐만 아니라 고주파수 (>100MHz)까지 유전율이 분산되지 않으므로 콘덴서의 용량절연막으로 사용되어 왔고, 대용량 콘덴서의 집적회로라든가 DRAM의 고집적화를 위한 용도로 그 활용이 기대되고 있다. 강유전체 재료로서는 BTO($BaTiO_3$), STO($SrTiO_3$), PZT($PbZr_{1-x}TiO_3$), BST($Ba_{1-x}Sr_xTiO_3$) 등이 유력하다. 이중에서도 실용온도 범위에서 유전율이 높고, 또한 우수한 주파수 특성을 얻을것으로 기대되는 BST에 관하여 괄목할만한 연구성과가 얻어지고 있다. 마쓰시타[15] 전자공업이 IEDM '92에서 발표한 BST막 (조성:x=0.3)은 0.lμm의 박막이면서 500이라는 높은 유전율과 2GHz라는 대단히 높은 주파수영역까지 유전분산을 일으키지 않는 특성을 실현했음을 제시했다.[20] 또한 이 막의누설전류(leakage current : 그림 14)는 $2 \times 10^{-9} A/cm^2$로 극히 낮아 집접회로용 절연막으로서 BST 박막이 유망하다는 것을 보여주고 있다.

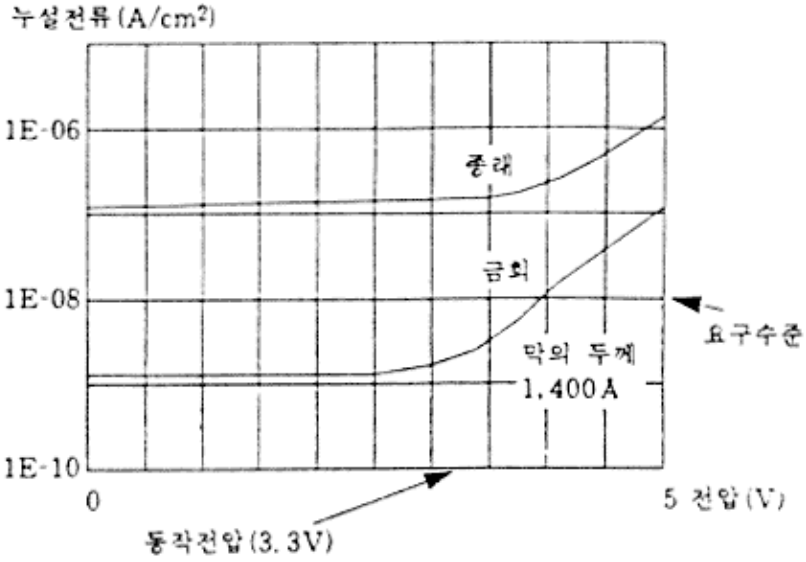


그림 14 누설 전류 특성

표 5 DRAM용 유전박막의 변천

DRAM	Material	Thickness(tox)
64K	SiO_2 단일막	
256K	SiO_2 단일막	
1M	SiO_2, SiO_2/SiN	
4M	SiN/SiO_2/SiN 3중막	8nm
16M	SiO_2/SiN 2중막	5.5nm
64M	SiO_2/SiN 2중막,Ta_2O_5	3.5nm
256M	$SrTiO_3$,BST	2.5nm
1G	PZT	1.5nm

이것를 가령 현재 널리 사용하고 있는 실리콘 산화막으로 달성하려면 1nm 정도까지 얇게 해야 할 필요가 있다. 이러한 박막은 실제로 가공이 불가능하며, 또한 특성적으로도 터널전류 (tunnel current)에 의한 누설전류가 증가하여 사용할 수가 없다. 이는 유전체기술이 종래의 집적회로 기술의 한계를 타파할 수 있다는 가능성을 보여주고 있다. 현재 NEC, 도시바, 히타치, 미쯔비시, 후지쓰, 마쯔시타등이 고유전체 박막을 DRAM cell의 capacitor용으로 개발하는데 힘을 쏟고 있다. NEC는 64M, 256M, DRAM에의 응용목표로 마그네트론 스퍼터라든가 이온빔 스퍼터에 의한 박막이 양호한 특성을 보여줌을 제시했다. 50nm막두께의 $SrTiO_3$(ε_r = 200)와 100nm막두께의 $Ba_{0.5}Sr_{0.5}TiO_3$ (ε_r = 450)를 사용하여 30fF/0.5 × 1.4μm^{2}을 얻어 256M DRAM에의 재료/구조/공정적인 면에서의 가능성을 제시했다 (ε_r : 비유전율, fF: femto Farad). 그러나 세라믹스 유전체가 쉽게 응용되지 못하는 이유는 이들 산화물이 기판 실리콘과 반응해 실리케이트 유리를 형성하기 때문이고, 또 다른 이유는 이들 박막은 여러 산화물의 복합체이기 때문에 정확한 조성의 조절이 어렵다는 단점이 있다.

표 6 유전체 재료의 유전특성

재료	유전상수(ε)
SiO_2	3.9
Si_3N_4	7.0
TiO_2	70 ~ 80
ZrO_2	15 ~ 20
Ta_2O_5	20 ~ 26
$CaTiO_3$	160
$SrTiO_3$	200 ~ 300
$(Ba,Sr)TiO_3$	400 ~ 800
$BaTiO_3$	1,000 ~ 2,000
$Ba(Ti,Zr)O_3$	10,000
PZT[$Pb(Zr,Ti)O_3$]	10^3 ~ 10^4

나. 비휘발성 FRAM

강유전체 세라믹스 박막은 비휘발성 플래시메모리의 제조에도 응용될 전망이다. 플래시메모리는 최근 일본 노무라 종합연구소가 예측한 바에 의하면 2000년에는 1조엔 규모의 큰시장을 이룰것으로 예상되며, 기존의 광메모리와 자기메모리 수요의 상당한 부분을 대체할 것으로 추정된다. 이들 플래시메모리의 이점은 자료의 저장과 인출에 걸리는 시간이 짧다는 점과 신뢰성을 높이고 기록저장장치가 차지하는 면적을 최소로 줄일 수 있다는 이점을 동시에 갖고 있기 때문에 더욱 각광을 받고 있다. 이와 같은 비휘발성 플래시메모리의 개발을 위해서는 세라믹스 강유전체 박막의 개발이 필수적이다. 이를 위해서 전세계적으로 이에 대한 연구가 활발하고, 주로 soi-gel법이나 화학증착법, 스퍼터링법에 의해 시도되고 있다. 강유전체 박막을 비휘발성 메모리 소자에 응용하고자 하는 생각은 이미 1963년 Moll과 Tarui에 의해서 발표된바 있다. 그 후 많은 연구자들에 의해 관련 논문들이 보고되고 있으며, 이것은 그림 15과 그림 16에서와 같이 두가지가 있다. 첫째, NDRO (Non-destructive read-out) 방식의 FRAM은 그림 15에서 보는 것처럼 transistor의 gate oxide대신 강유전체 박막을 사용하는 아주 간단한 방식으로 gate에 가해지는 voltage pulse에 의해 강유전체 박막이 영구분극화 (remanent polarization)되어 transistor channel의 전기 전도도를 변화시킴으로써 logic "1" 과 “0” 를 표현하는 방식이다. 이러한 방식은 구조가 간단하여 소자의 cell density를 높일 수 있을 뿐만 아니라 radiation hardness가 좋아 소자의 신뢰도를 향상시킬수 있고 정보입력시간 (wtite time)이 약~10ns 정도로 빠른 장점을 가지고 있다. 둘째, DRO(Destructive read-out) 방식의 FRAM은 그림 16에서 보듯이 현재 상용되고 있는 DRAM의 구조와 같이 하나의 transistor와 하나의 capacitor의 유전체로써 강유전체를 이용한 것이다. 이 구조에서는 NDRO 구조에 비교하여 capacitor 한개가 더 필요하게 되며 기본 cell의 면적이 증가되는 단점이 있고, NDRO는 강유전체 박막이 실리콘을 함유하지 않는 금속산화물이므로 강유전체 박막과 실리콘 기판과의 계면에서 실리콘 산화물이나 metal-silicate등의 형성 가능성이 높아 양질의 계면특성을 확보하기 어려우며, 이로인해서 정보 출력시 polarization에 따른 threshold voltage의 차이가 현저하지 않아 soft error를 유발할 가능성이 있다.

그래서 제조공정상에서 강유전체 박막 상/하부의 계면특성이 소자의 특성에 미치는 영향이 NDRO방식보다는 DRO방식이 다소 유리한 면을 갖는다.
FRAM은 기존의 비휘발성 소자인 EPROM이나 EEPROM에 비하여 bit당 생산단가가 싸고 넓은 사용 온도대역, 높은 내방사선성 및 특유의 영구분극현상에 의한 비휘발성을 갖는 등 많은 장점을 갖고 있다. 그리고 FRAM은 polarization과 electric field 관계에서 나타나는 hysteresis 특성을 이용한 소자이므로 read/write cycle 횟수의 증가에 따라 polarization값이 감소되는 이른바 fatigue 현상을 최대한 억제시켜야 한다. 또한 영구분극 특성이 시간의 경과에 따라 저하되어 입력시킨 정보가 손실되는 aging 현상 역시 배제시켜야 할 특성중의 하나이다. 동작전압을 더욱 더 낮추기 위해서는 coercive field가 낮은 강유전체 박막의 개발이 요구되며, 제품의 신뢰도를 높이기 위해서는 강유전체 박막의 절연파괴 전계 및 누설전류 밀도등의 특성을 개선시켜야만 한다.

다. GaAs MMIC capacitor용 유전막

PECVD 방법으로 증착된 질화실리콘 박막은 이온주입후 열처리용 보호막, 표면 보호막, 커패시터용 유전체 박막으로 GaAs IC공정에 널리 이용되고 있다. 그러나 SiN_x는 유전율이 7 정도로 비교적 높은 정전뇽량대 면적비(120 pF/mm2)를 나타내나, 폴리이미드를 쓰거나 갈륨비소 표면에 interdigitadted 구조의 커패시터를 형성하는 방법보다는 정전용량이 큰 박막 커패시터를 제조 할 수 있다.

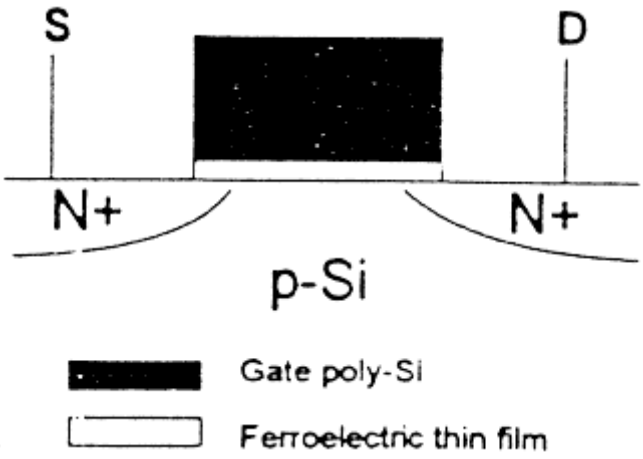


그림 15 NDRO 방식의 FRAM 구조 단면도

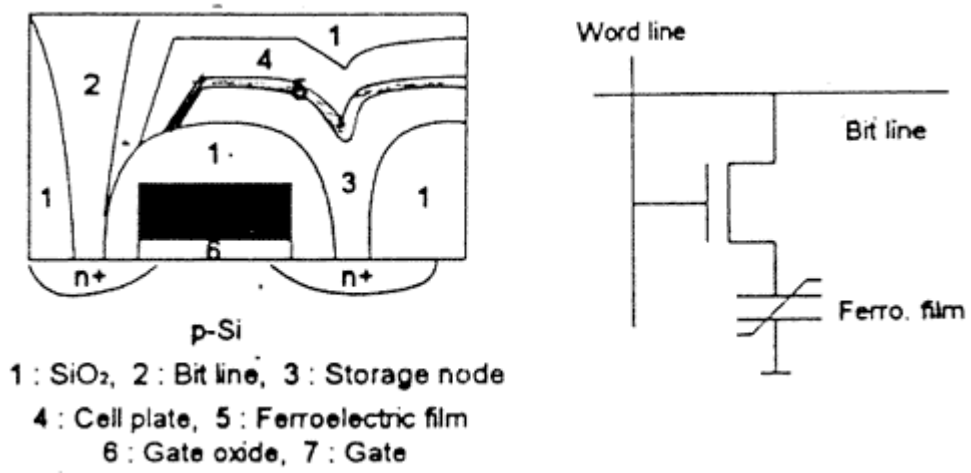


그림 16 DRO 방식의 FRAM 구조 단면도 및 등가회로

그러나 실제적인 면에서 정전용량은 4 pF정도로 제약을 받는다.
그러나 많은 MMIC 분야에서 충분히 낮은 RF impedance를 얻기 위하여 충분히 큰 정전용량의 커패시터가 요구된다. 예를 들어 power FET의 dc gate 입력인가용 바이패스 커패시터는 용량이 수십에서 수백 pF으로 충분히 커야 한다. 또한 MMIC의 소자 집적도가 증가함에 따라 칩당 전체 정전용량은 수백 pF에 이르게 된다. 만약 종래의 SiN_x 기술로 그런 구조를 제작하게 되면 전체 GaAs 기판 면적의 거의 절반에 가까이 커패시터가 차지하게 된다. 이런 경우에 2가지로 소자의 수율이 저하되는 문제가 따른다. 첫째는 커패시터의 크기를 수용하기 위해서 전체 칩 크기가 커지게 되고, 단위 기판당 칩 수 가 감소하게 된다. 둘째는 기능소자의 수율이 감소하게 된다. 그 이유는 대면적 커패시터에서 pinhole 등의 결함에 의한 소자 failure의 발생확율이 커지기 때문이다.
이러한 관점에서 커패시터의 크기를 줄일수 있는 방법으로 BST등의 강유전체 박막은 적합한 MMIC용 커패시터 재료이다. 유전율이 수백에서 수천까지 가능하므로 SiN_x 커패시터보다 면적이 수백배 감소할 수 있다. BST박막을 GaAs MMIC에 응용한 예는 1993년 Matsushita에[15] 의해 이루어졌다. BST에서 Ba:Sr=0.7:0.3인 조성인 박막을 저온공정인 RF-magnetron sputtering 방법으로 형성하여 400-800pF의 대용량 커패시터를 GaAs기판상에 제작하여 이동통신용 소형 chip set을 제작하였다.
그림 17에 GaAs MMIC 소자의 단면을 나타내었다.

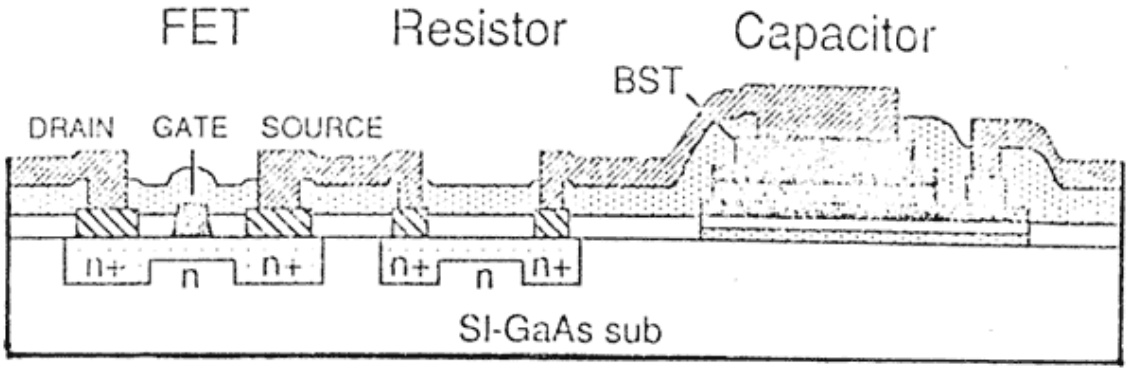


그림 17 BST 박막을 이용한 GaAs MMIC의 단면도

3. BST 기술현황

가. BST의 물성

$BaTiO_3$는 약 120℃에서 큐리점을 가지고 이 이하의 온도에서 강유전성을 나타내며 0℃부근과 -80℃부근에도 상전이점을 갖는다. 큐리점 이상에서는 입방정계, 120℃에서 0℃까지의 영역에서는 정방정계, 0℃에서 -80℃까지는 사방정계, -80℃이하에서 삼방정계가 된다. 결정은 그림 18에 나타낸 것과 같은 灰티탄석 (perovoskite)형 구조를 가지며 Ti이온은 O이온에 의해 정팔면체적들로 둘러싸여져 있는데, 그 강유전성은 이 산소팔면체 구조와 밀접한 관계가 있는 것으로 생각되므로 이 구조를 갖는 것을 산소팔면체족의 강유전체라고 한다.

퀴리점이하 온도의 영역에서 자발분극을 갖는데 자발분극의 발생에 따라 분극축 (c축)방향으로 자발왜형이 생겨서 축비 c/a는 상온에서 약 1.01이 된다. 비유전율은 퀴리점 및 제2, 제3 전이점에서 극대치를 나타내는데 상온부근에서는 c축 방향의 비유전율은 약 200, a축 방향의 비유전율은 약 6000이고 퀴리점에서는 모두 약 10000이 된다.

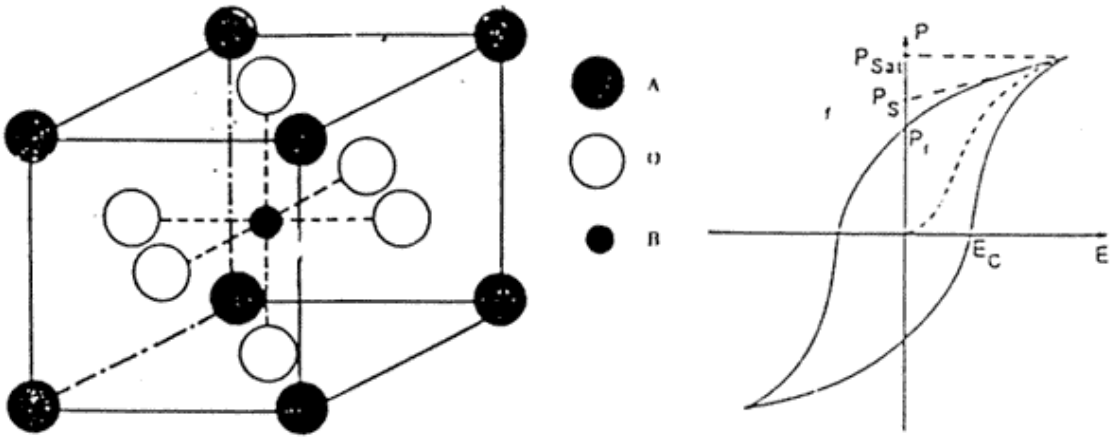


그림 18 ABO_3의 페로프스카이트 결정구조 (灰티탄석형구조)

$BaTiO_3$의 Ba의 일부를 Sr으로 치환한 고용체 $(Ba_{1-x}, Sr_x)TiO_3$에서는 Sr의 양과 함께 퀴리점이 규칙적으로 저온쪽으로 이동한다. 대표적인 페로프스가이트 물질로써 관심을 받고있는 $(Ba_{1-x}, Sr_x)TiO_3$ 박막은 $BaTiO_3$의 높은 유전상수와 $SrTiO_3$의 구조적 안정성 때문에 메모리 cell capacitor(DRAM)에 많은 연구가 되고 있다. 그리고 저항이상이 강유전체의 상전이에 관계가 있다는 것은 예를 들면 $(Ba_{1-x}, Sr_x)TiO_3$를 반도체화한 것의 저항이상점이 전이점의 이동과 함께 이동한다는 사실로 보아 분명하다.

이와 같은 저항이상을 갖는 반도체는 여러가지 용도를 갖고 있는데 저항치가 어떤온도에서 급격히 커지는 재료는 온도스위치로서 자동제어 방면에 이용되고 비교적 평탄한 正의 온도계수를 갖는 재료는 더미스터로서 예를 들면 트랜지스터회로의 온도보상 등에 이용된다.

나. BST 박막기술

BST는 현재 DRAM용 커패시터로 연구가 활발히 진행되고 있으며 여러가지 증착방법과 증착 후 처리를 통하여 특성을 개선시키려는 연구가 진행되었다. 한편 갈륨비소 (GaAs) 용으로는 연구가 많이 보고되지 않은 상태이다.
실용온도 범위에서 유전율이 높고 우수한 주파수 특성을 가지며 1G DRAM과 기억소자에서 동작하는 BST는 이미 마쯔시타에서 개발하였으며 GaAs MMIC 공정에 사용하고 있다. 제조방법으로는 PVD와 MOCVD법이 있는데 PVD법 중 스퍼터법은 장치 및 원료 타겟의 입수가 용이하다는 장점때문에 현재 가장 많이 사용되고 있으나, 성막속도가 느리고 타겟과 성막의 화학량론적 조성비가 불일치하며 스퍼터링 손상에 의해 성막에 결함이나 손상이 생기기 쉽고 단차피복성 (step coverage)이 나빠지는 등 스퍼터 자체에 문제를 갖고 있지만 낮은 공정온도에서도 사용이 가능해 많이 사용되고 있다. 스퍼터링 및 sol-gel/MOD법에 의한 강유전체의 박막을 제조할 경우 비교적 용이하게 화학양론비를 맞출수가 있어서 원하는 페로프스카이트를 보다 쉽게 얻을 수가 있었으나 단차피복성 (step coverage)에 문제가 박막제조법이다. 전세계적으로 Ramtron (RF diode). Seiko-Epson(RF magnetron), Westinghouse(Rf diode), NEC(RF magnetron), Siemens (planar multi-target magnetron), Queens University(DC magnetron), University of texas (DC magnetron) 등에서 성공적으로 강유전체박막을 합성하여 연구가 활발히 이루어지고 있다.

그러나 MOCVD법은 단차피복성 (step coverage), 조성조절 (composition control), 박막균질성(film uniformity), 높은 박막밀도 (high film density), 높은 증착속도 (high deposition rate), 간단한 장치 등의 많은 장점을 가지고 있으나 출발원료물질의 제한과 복잡한 반응 기구에 대한 이해 부족으로 스퍼터링 및 sol-gel/MOD법에 비해 상대적으로 연구결과가 미비한 상태지만 최근 virginia tech, chubu univ., mitsubish, tokyo inst. tech, georgia, kyoto univ.등에서 성공적으로 합성하여 연구가 활발히 진행되고 있다. 강유전체 박막을 제조하는 방법의 하나로 미국 시메트릭사와 일본의 마쯔시타 전자공업은 액체소우스 화학기상 퇴적법(LSCVD : liquid chemical vapor phase deposition)을 개발하였고, 시메트릭사와 콜로라도대학은 이 LSCVD법으로 BST, PZT, Y1 등의 강유전체 박막을 제조하고 있다. 그리고 BST의 스퍼터링시는 multi target으로 한꺼번에 여러번 스퍼터링을 해야 하고, BST는 부도체이므로 RF 스퍼터링이 실험하는데 적합하다.

제 3 절 실험방법

1. 세라믹 강유전체 실험방법

전체적인 실험 절차는 그림 19에 나타내었다. 디스크 형의 시편을 일반적인 세라믹 공정으로 제조하였다. 초기원료는 kojundo chemical의 순도 99.9%인 분말을 사용하였다. 먼저 이동제의 적정화 실험을 위하여 $BaTiO_3$와 분쇄한 $SrTiO_3$양을 0, 10, 20, 30mol%까지 각각 칭량하였다.

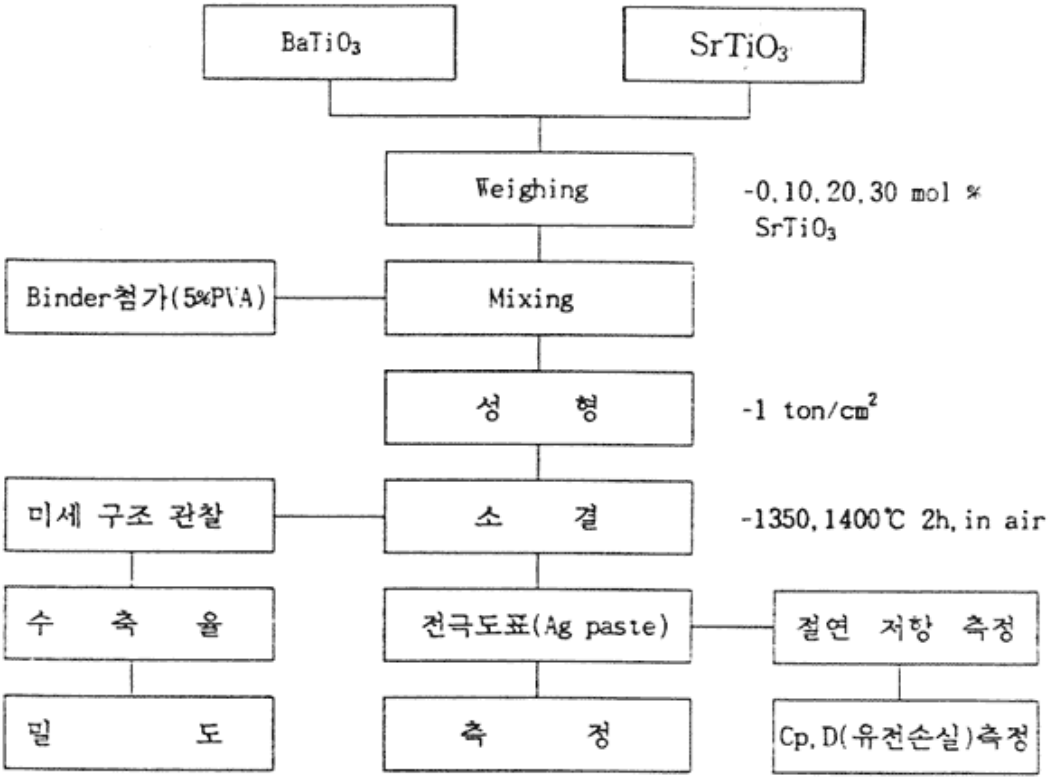


그림 19 $BaTiO_3$-$SrTiO_3$ 세라믹 유전체 실험과정

그 다음 각각의 시료에 binder (5% polyvinylacetate)를 넣어 혼합한 후 분말을 직경 12mm, 두께 2mm정도로 유압 프레스 (carver laboratory press)를 이용하여 1 ton/cm^2의 압력으로 성형한 다음 전기로에서 소결하였다. 소결조건은 $BaTiO_3$+ $SrTiO_3$를 1400℃에서 전기로 (linderberg furnace)로 2시간 소결하였다. 소결한 시편을 이용하여 소성수축율 및 미세구조와 소결밀도를 조사하였으며, 소성수축율은 소결전후의 시편 직경의 변화를 측정하여 구하였고, 시료의 미세구조는 광학현미경 (nicon HFX-2A)으로 관찰하였으며, 소결밀도는 전자저울 (sartorius A120S)로 archimedes 원리를 적용하여 수중무게와 공기 중 무게를 측정하여 계산하였다. 전기적 특성 측정을 위하여 시편의 양면에 7mm 직경의 전극을 인쇄도포법 (screen printing)으로 형성하였고, 사용된 전극재료는 dupont사의 4922N Ag paste였으며 도포 후 100℃에서 10분 이상 열처리하였다. 유전체의 정전용량과 손실계수(tan δ)의 온도특성은 HP4194A impedance phase analyser와 항온조를 이용하여 측정하였다. 측정시 시편의 온도는 분당 -5℃에서 125℃까지 각각 5℃로 상승시켰다. 그리고 절연저항의 측정은 TOA ultra megohmmeter MODEL SM10E로 측정하였다.

2. 강유전체 박막 실험방법

가. 반응성 RF-magnetron sputtering 방법

그림 20에 전체적인 실험과정을 나타내었다. 본 실험에 사용된 스퍼터링 장비는 LEYBOLD-HERAUS 사의 Z-400 모델이며 그 개략도는 그림 21에 나타내었다. 본 실험에서는 CERAC사의 직경이 3inch인 $BaYiO_3$-$SrTiO_3$ (70-30mol%)와 $SrTiO_3$ 타겟을 장착하여 RF 스퍼터링을 하였다. 전극간 거리는 5cm로 하였으며 타겟의 뒤에는 과열을 방지하기 위해서 냉각수를 흘렸다.

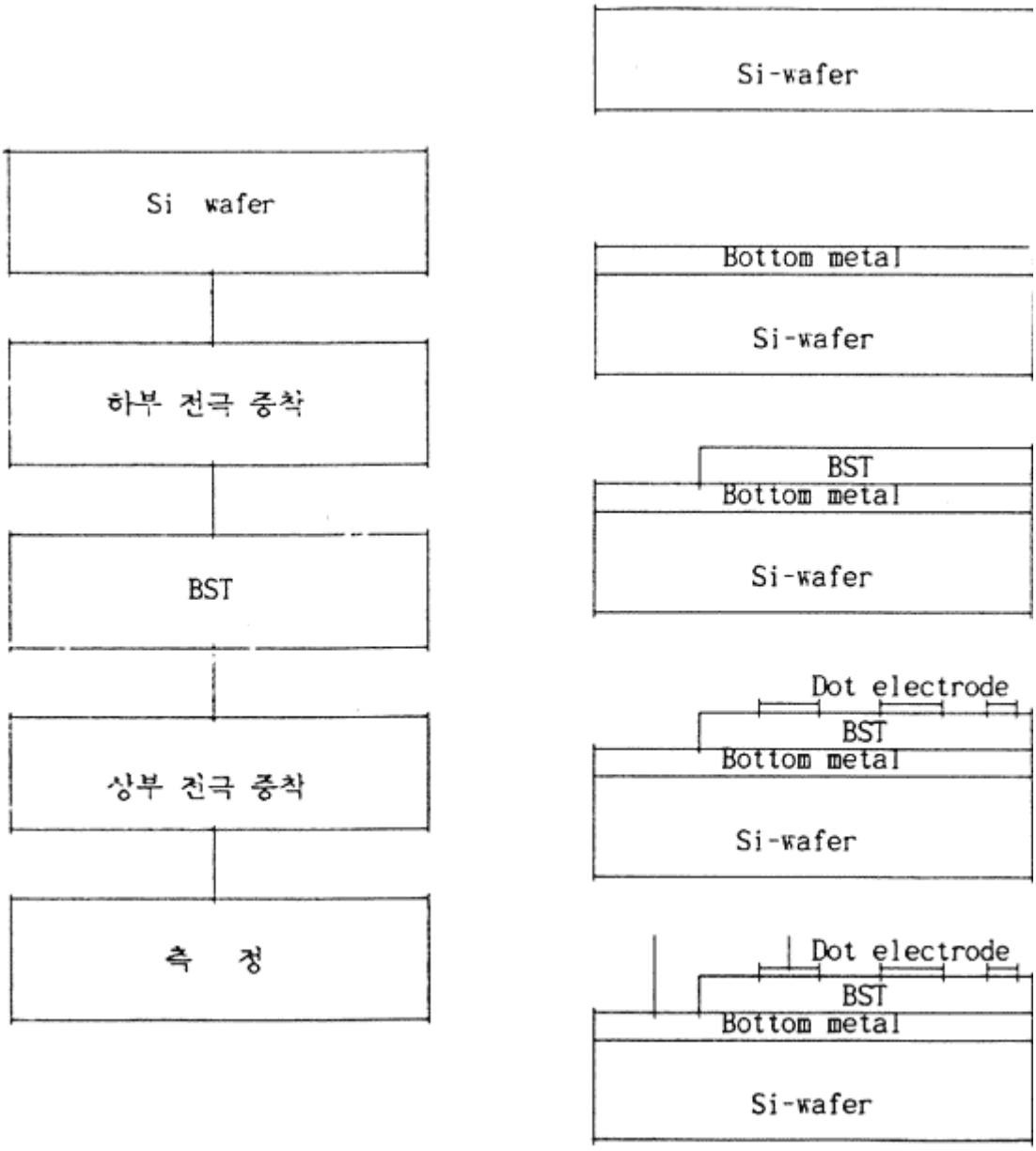


그림 20 전체적인 실험과정

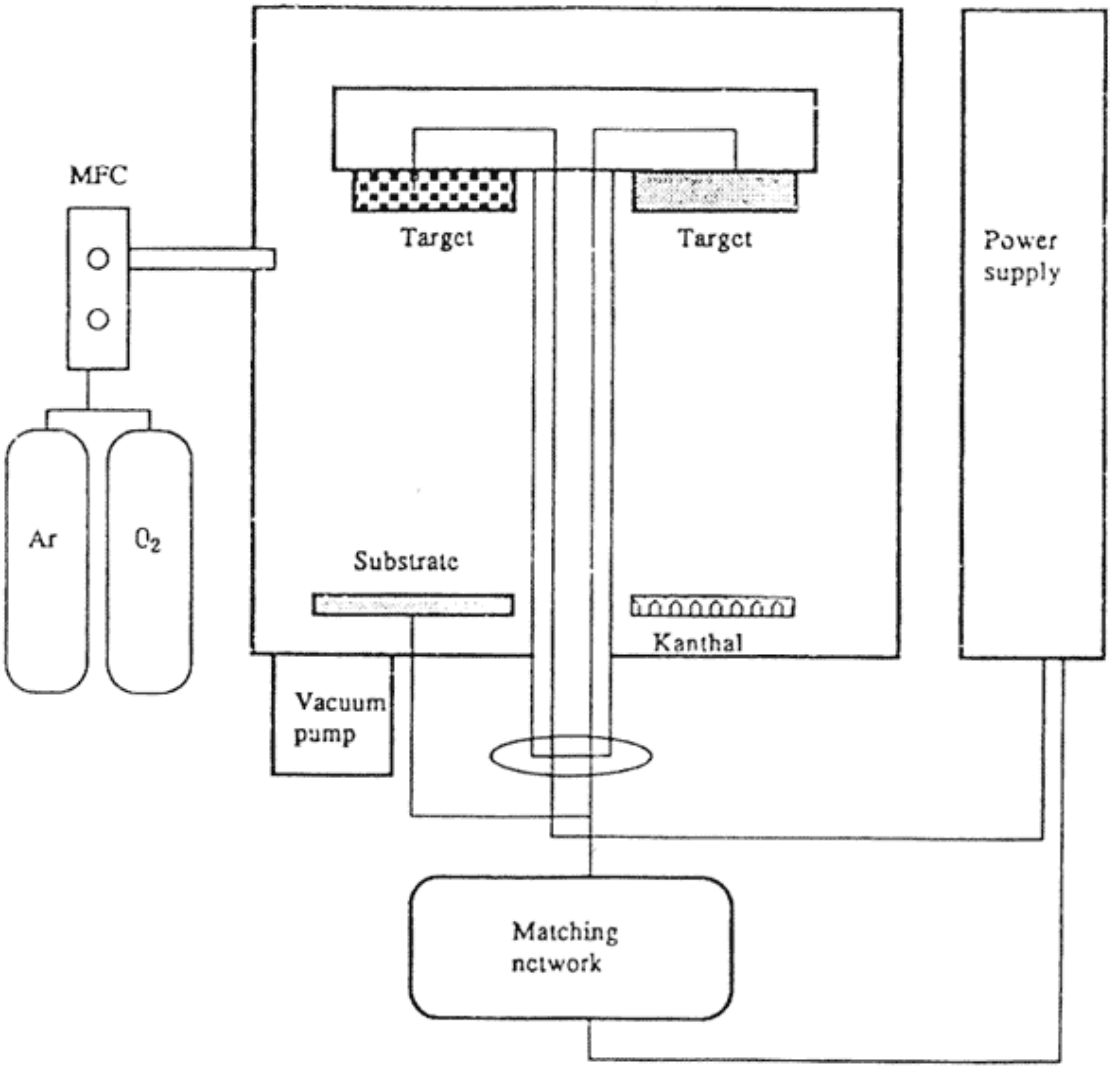


그림 21 RF-magnetron sputtering 장비 개략도

기판은 p-Si(100) 웨이퍼를 사용하였으며 증착전에 전처리로 아세톤, 알코올로 ultrasonic cleaning한 다음 DI water로 세척하고 N_2(g)를 이용하여 시편을 건조하였다. 전처리된 시편을 스퍼터링 장비내에 넣은 후 초기 진공도 7 $\times 10^{-6}$torr까지 진공 배기한 후 실험변수인 산소 flow와 RF 전력의 범위 그리고 기판온도는 각각 0-10sccm, 100-200W 그리고 200-300℃까지 변화시켰다. 증착 전 단계로 Ar 방전 기체를 60sccm을 흘려 작업 진공도를 10^{-2}torr 로 유지한 다음 RF 출력을 타겟에 200W 인가하여 2분간 타겟 표면을 pre-sputtering하였다. 본 실험에서는 BST 박막을 Pt 전극 위에 증착하였고 상부 dot전극은 Al을 증착하였다.

나. 물성분석 및 전기적 측정

증착된 박막의 결정성은 RIGAKU x-ray diffractometer로 분석하였고, 표면형상은 JEOL SEM과 광학현미경으로 관찰하였다. 박막의 유전특성과 전기적특성은 HP 4280A Impedance Analyser 1MHz에서 분석하였다.

제 4 절 결과 및 고찰

1. 세라믹 강유전체에서 $SrTiO_3$ 첨가효과

가. 소결체의 물성 및 미세구조

1400℃에서 2시간 소결한 시료의 수축율을 그림 22에 나타내었다. 모든 시편은 15%에서 17%사이의 수축율을 나타내었다. 순수한 $BaTiO_3$의 경우 소결온도 및 성형압에 따라 변화가 거의 없으며 $SrTiO_3$의 첨가에 따라 수축율이 작아지다가 $SrTiO_3$가 30mol%일때에 수축율이 커졌다. 그리고 소결온도 1400℃에서 밀도의 변화를 그림 23에 나타내었다. 전반적으로 $SrTiO_3$의 양이 증가함에 따라 소결밀도는 낮아짐을 알 수 있다. 대체적으로 소결밀도는 5.5-5.9g/cm^2이었다.
그림 24에는 1400℃에서 소결한 시편의 파단면을 광학현미경으로 관찰한 결과를 나타내었다. 순수 $BaTiO_3$에다 $SrTiO_3$의 첨가량이 증가할수록 입자의 크기가 증가하다가 30mol% $SrTiO_3$에서는 입자의 크기가 작아짐을 볼 수 있다. 조성에 따라 살펴보면 순수한 $BaTiO_3$를 포함하여 $SrTiO_3$의 첨가량이 작을수록 파단면이 입내파괴 되어서 정확한 입자크기를 관측하기가 어렵다. 이때 30mol%에선 치밀화가 이루어졌음을 알 수 있는데 적층 세라믹 커패시터 소재로 응용하기 위해서는 입자의 성장을 억제할 필요가 있을것으로 본다. 그리고 바람직한 유전체의 입도는 1-3 μm정도로 알려져 있다.

나. 전기적 특성

고유전율 적층세라믹커패시터로 $BaTiO_3$ 유전체를 이용하기 위해서는 100℃이상인 큐리온도를 적절한 이동제 (shifter)를 첨가하여 상온으로 낮추어야 한다. 본 실험에서 목적한 $SrTiO_3$가 이동제로 적합한지를 알아보기 위하여 $SrTiO_3$-$BaTiO_3$ 유전체에 대한 유전율의 온도의존성을 측정하였다. 조성변화에 따른 온도의존성을 그림 25에 나타내었다. 유전상수의 최대온도 즉, 큐리온도의 상온에 가장 근접한 $SrTiO_3$의 첨가량은 30mol%이며 이때 최대 유전율은 7032 정도이다. 1400℃에서 소결할 경우 큐리온도를 상온으로 이동하려면 약 30mol% $SrTiO_3$를 첨가하는것이 바람직함을 이 실험에서 알 수 있다.
그림 26에는 $SrTiO_3$의 첨가량에 따른 큐리온도의 변화를 나타내었다. 순수한 $BaTiO_3$의 큐리온도는 1180℃정도이나 $SrTiO_3$를 첨가함에 따라 큐리온도가 직선적으로 감소함을 볼 수 있다. 실용적인 커패시터로 사용하기 위하여서는 상온에서 최대유전율을 가지는 것이 바람직하므로 본 실험결과 $SrTiO_3$는 30mol%가 적정량임을 알 수 있다.
조성변화에 따른 절연저항값을 그림 27에 나타내었다. 1400℃에서 소결한 시료를 50V를 인가하여 측정하였다. 이때 $SrTiO_3$의 첨가량이 증가함에 따라 절연저항이 감소하며 인가전압이 높을수록 절연저항이 감소함을 볼 수 있었다.

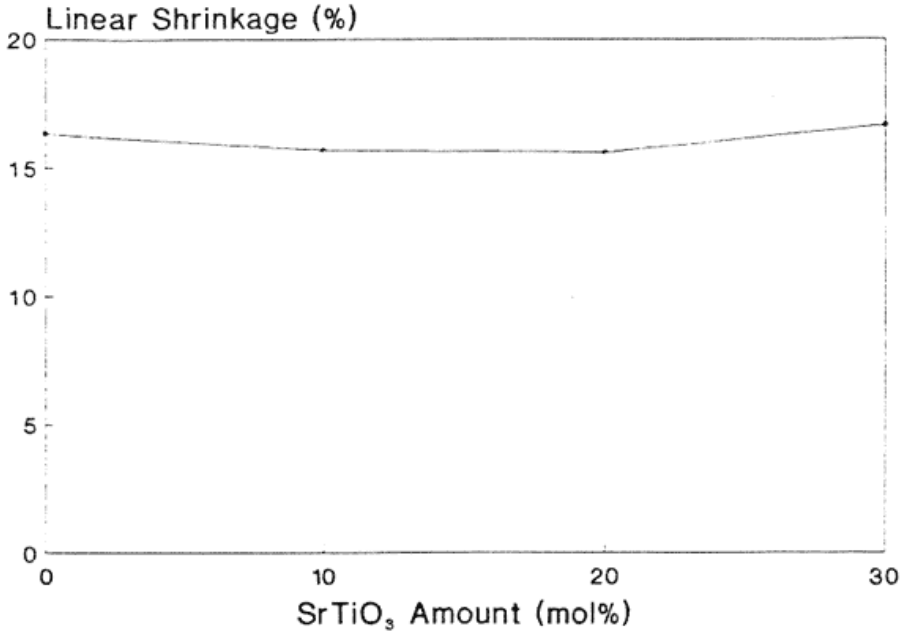


그림 22 $SrTiO_3$의 첨가량에 따른 $BaTiO_3$ 세라믹의 수축율 변화

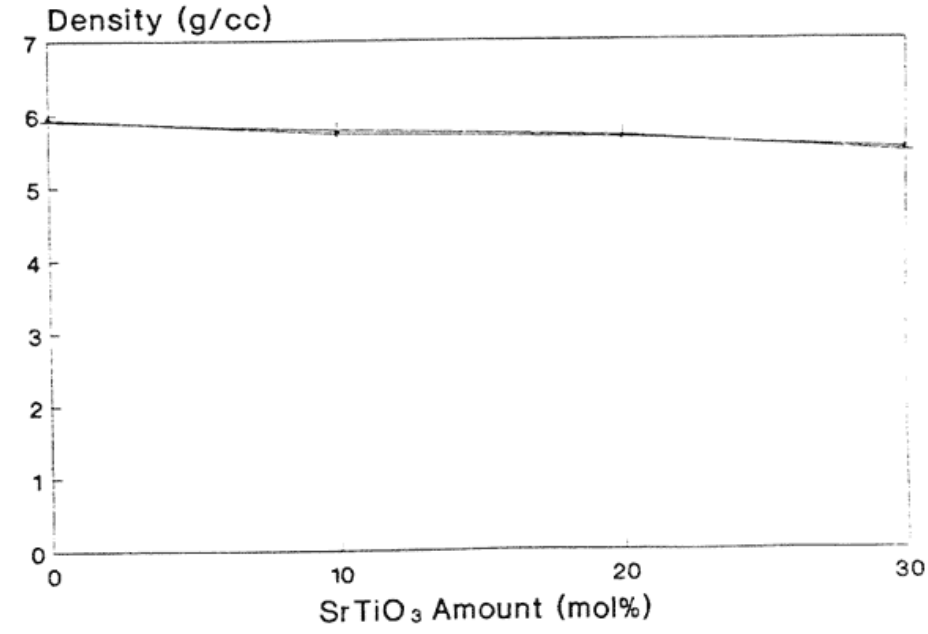


그림 23 $SrTiO_3$의 첨가량에 따른 $BaTiO_3$ 세라믹의 밀도 변화

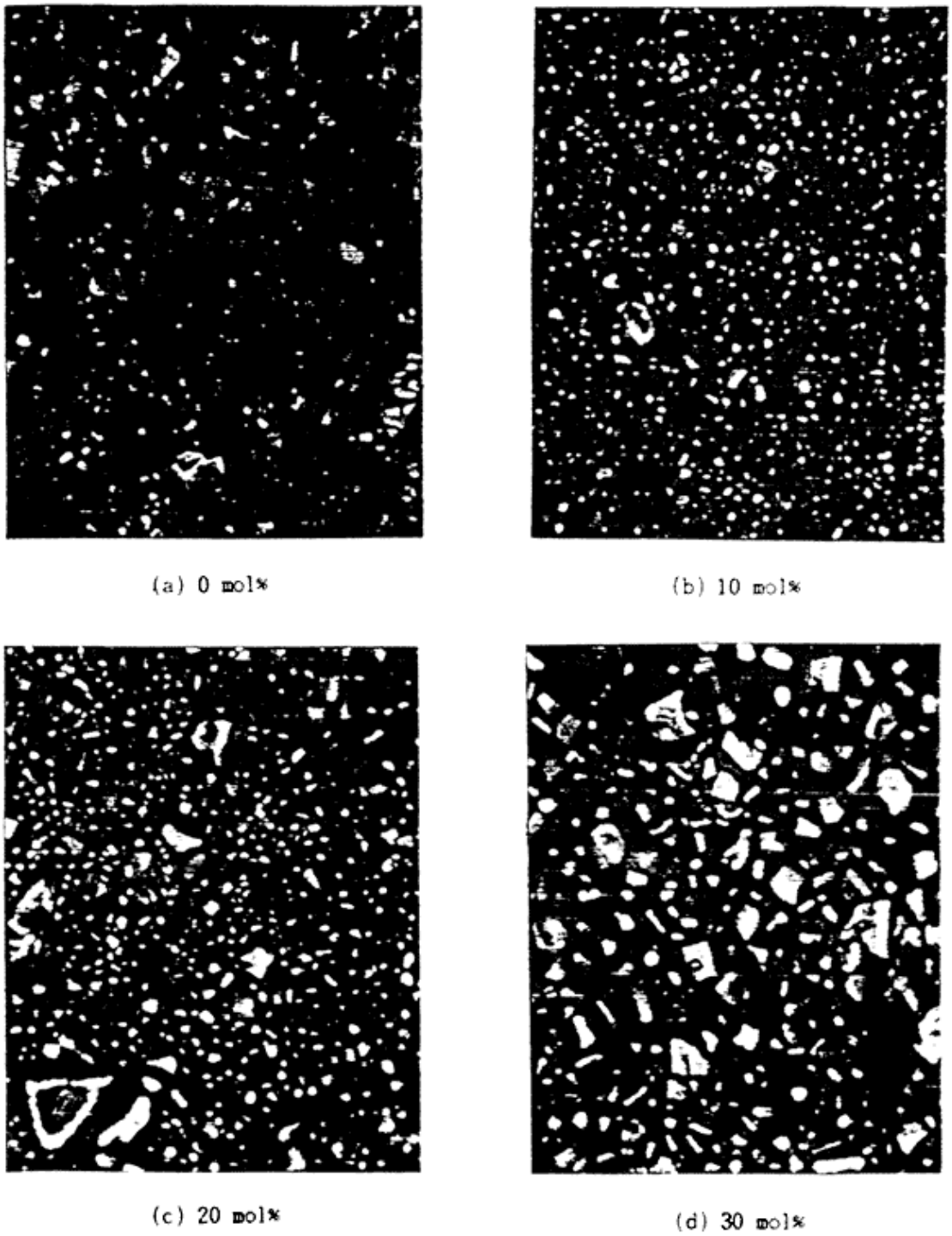


그림 24 1400℃에서 2시간 소결한 $BaTiO_3$ 세라믹의 $SrTiO_3$ 첨가에 따른 미세구조
(a) 0 mol% (b) 10 mol% (c) 20 mol% (d) 30 mol%

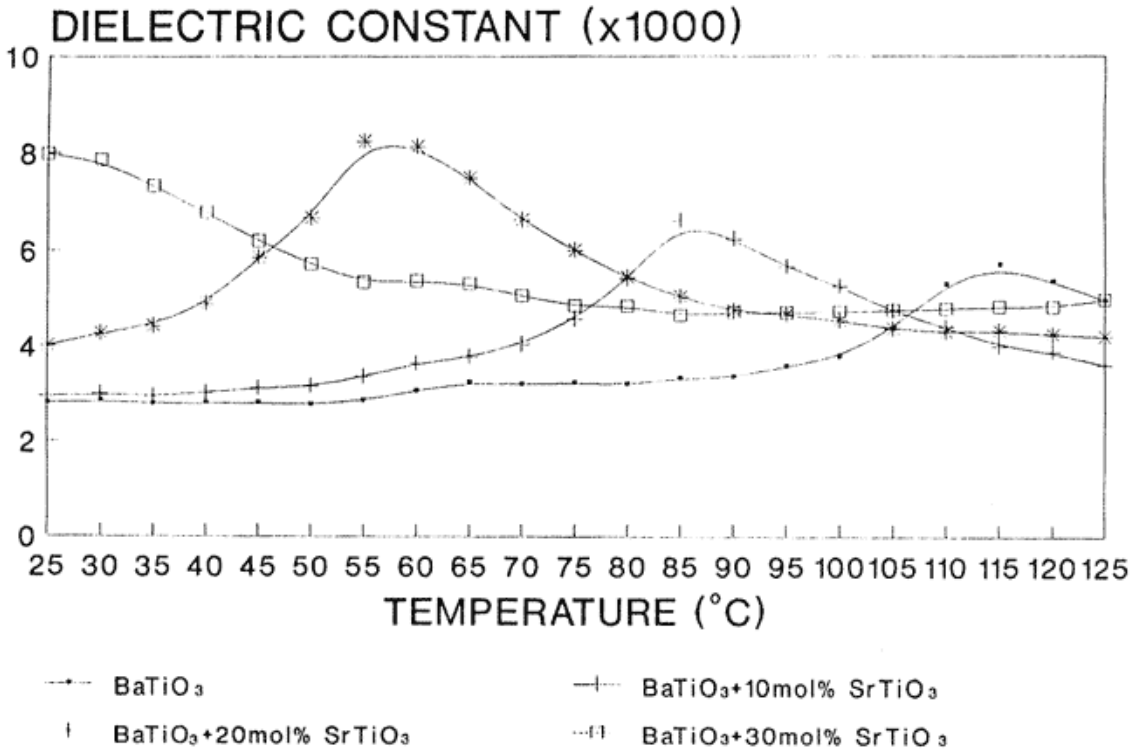


그림 25 $SrTiO_3$의 첨가에 따른 유전율의 온도의존성

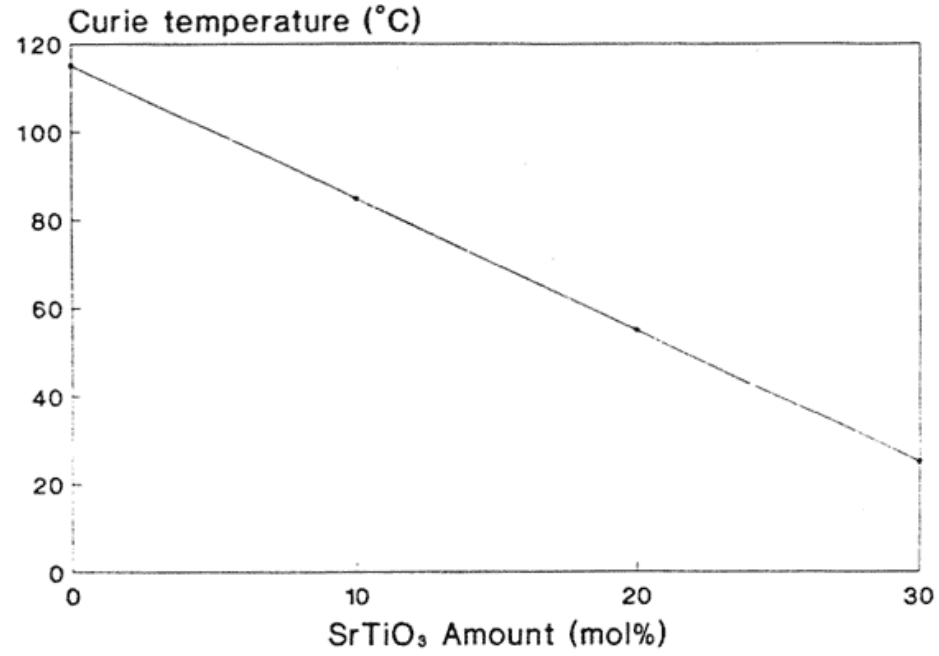


그림 26 $SrTiO_3$의 첨가에 따른 큐리온도의 변화

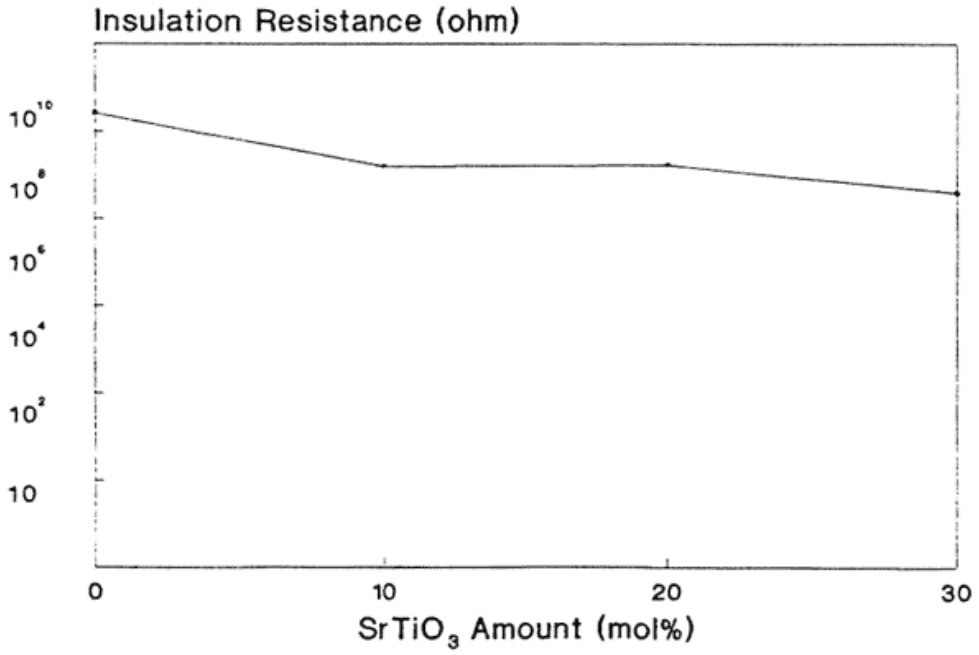


그림 27 $BaTiO_3$ + $SrTiO_3$ 절연저항

2. BST 박막

가. 증착속도

반응성 스퍼터링에 의한 박막의 성장속도는 두가지 요인에 의해 주로 지배된다. 첫째는 타겟의 스퍼터링 수율이고 둘째는 기판에서의 금속증착물과 반응성 기체 (본 실험의 경우는 산소이온)와의 반응이다.
그림 28에 Ar과 산소의 혼합량을 9 : 1 (또는 Ar = 10sccm)로 고정시키고 증착 중 기판온도 변화에 따른 증착속도의 변화를 나타내었다. 스퍼터링시 energetic ion이나 전자의 충돌로 기판의 온도는 자연히 증가하게 된다. 본 실험의 경우에는 기판을 가열하지 않아도 거의 150℃까지 기판온도가 올라가는 것이 관찰되었다. 그림에서 보면 기판온도 300℃, 압력 10mtorr에서 BST는 높은 증착속도를 보이고 있고, 전체적으로 본 실험에서 수행한 반응성 RF-magnetron sputtering의 경우 BST 박막의 증착속도는 21-37 Å/min이었다.

나. 박막의 물성

현재까지의 실험에서는 XRD, AES, SEM으로 박막을 조사하였다. XRD로 분석한 결과 박막은 어느 정도 결정상태를 보여주고 있다 (그림 29, 30). 이 결과는 다른 보고들과 어느 정도 일치하고 있지만 peak의 형태에서 보듯이 본 실험에서는 좋은 특성을 얻을 수 없었다. 그림 31은 $SrTiO_3$와 BST 박막의 AES 분석 결과이다. 이 결과에서 보면 Ba,Ti peak는 잘 관측되지만 Sr peak는 관측되지 않고 있다. 현재 그 이유는 분석하지는 않았지만 추후 더 연구해봐야 겠다.
그림 32는 sputtering 법으로 증착한 $SrTiO_3$ 박막의 EDS 스펙트럼이고 그림 33은 타겟과 sputtering 법으로 증착한 BST 박막의 EDS 스펙트럼이다.

AES 분석 결과 Sr peark가 관측되지 않아 target을 EDS로 분석 하였는데 EDS 분석결과 Ba,Sr,Ti의 peak는 관측되었지만 $SrTiO_3$, BST 박막은 AES 분석 결과와 마찬가지로 Sr peak는 관측되지 않았다. 그래서 본 실험에서는 Ba가 부족한 Ba_xTiO_x 박막만 형성된 것으로 예측되며 추후 더 연구해야할 것이다.

BST는 박막 커패시터로 응용되기 때문에 집적소자에서는 MIM(metal-insulator-metal) 구조를 갖게 된다. 현재 GaAs MMIC 공정으로 응용하기 위해 하부전극으로 Pt를 사용하였다. 그림 34와 35는 금속박막위에 증착한 $SrTiO_3$와 BST 박막의 단면 사진이다. 그림 34의 $SrTiO_3$ 박막은 Pt위에 증착한 경우이고 그림 35의 (a)는 스퍼터링으로 Pt위에 BST 박막을 증착한 경우이고, (b)는 Si위에 BST 박막을 증착한 경우이다. 박막의 경계가 선명하지 못하나 대체로 균일한 모양을 나타내고 있다.

표면형상은 전체적인 모양을 관찰하는 데 사용되었는데 여러 가지 조건에서 BST 박막을 증착한 다음 각 시편의 표면을 살펴보았다. 그림 36은 각 조건에서 기판온도가 다른 경우의 BST 박막의 표면 사진을 나타내었다. 유전체 표면을 살펴본 결과 기판온도가 200℃ 이하의 낮은 온도에서는 표면이 대체적으로 평탄하고 깨끗하지만 300℃에서 증착한 경우에는 약간 거친 표면을 나타내었다.

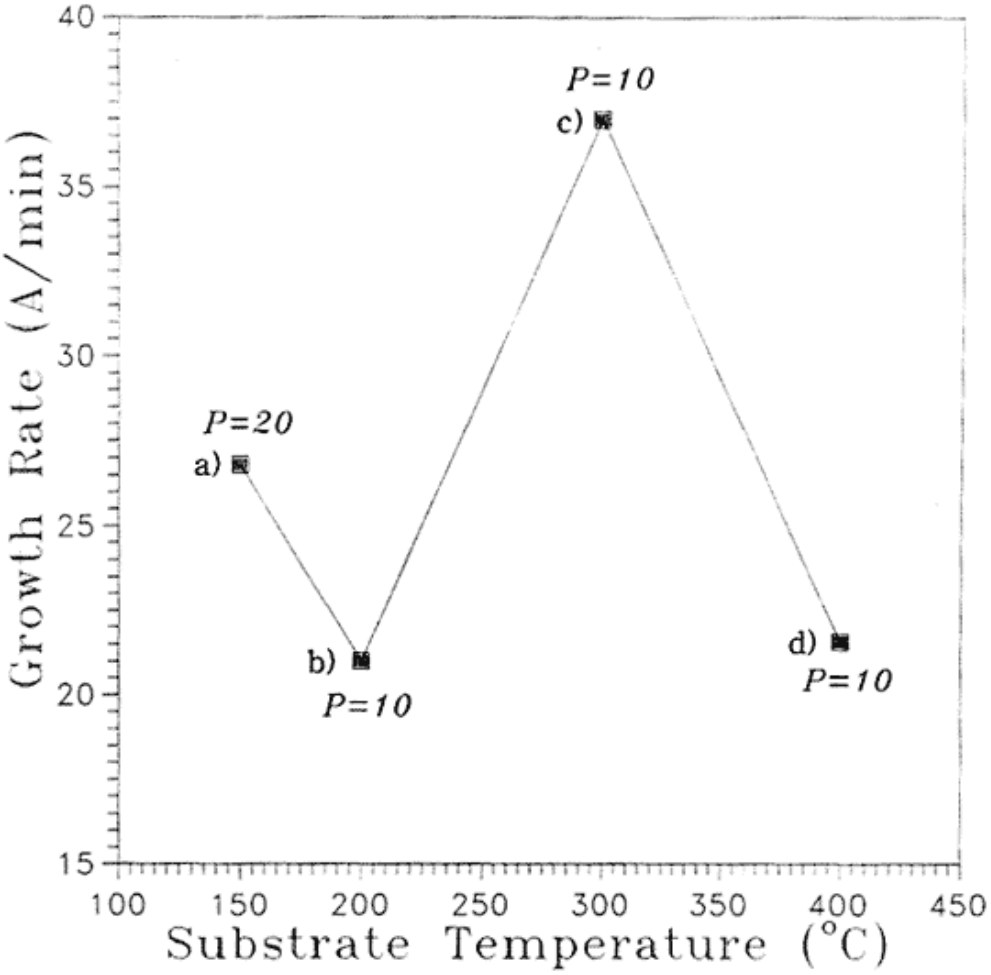


그림 28 기판온도의 변화에 따른 BST 박막의 증착율의 변화

a) (Power : 100W, Ar/O_2 = 9/1, Pressure : 10mtorr)

b) (Power : 100W, Ar = 10sccm, Pressure : 10mtorr)

c) (Power : 100W, Ar/O_2 = 9/1, Pressure : 10mtorr)

d) (Power : 100W, Ar/O_2 = 9/1, Pressure : 20mtorr)

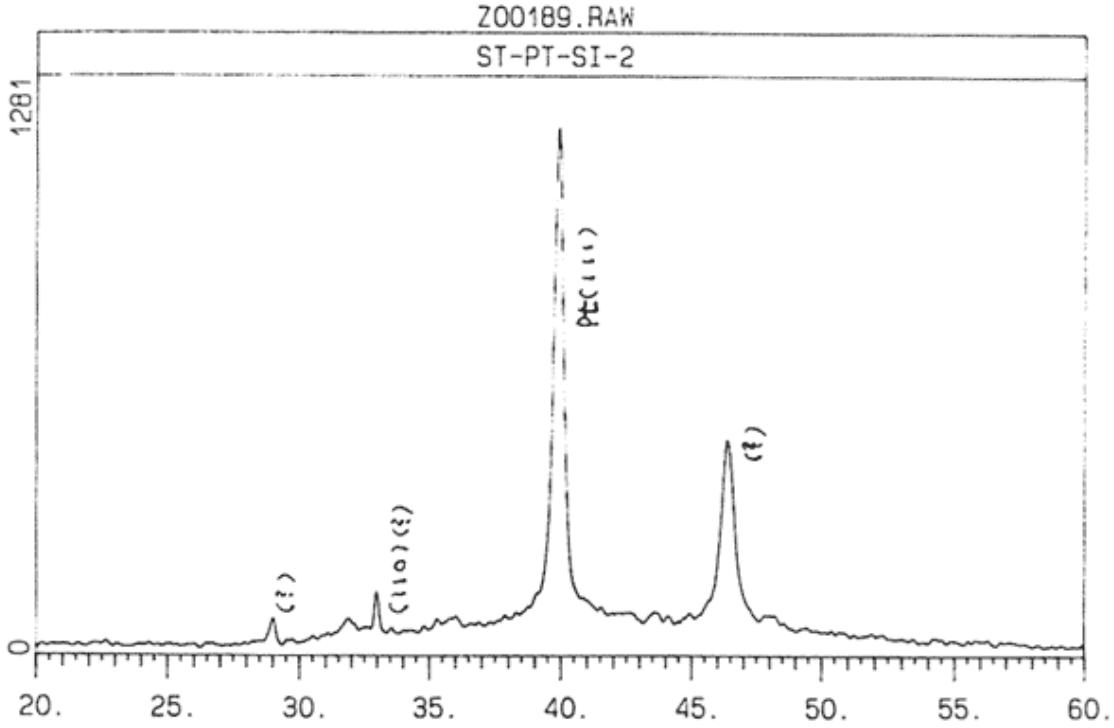


그림 29 Sputtering 법으로 중착한 $SrTiO_3$ 박막의 XRD 스펙트럼
(Power : 100W, Ar/O_2 = 9/1, Pressure : 20mtorr, Ts=300℃)

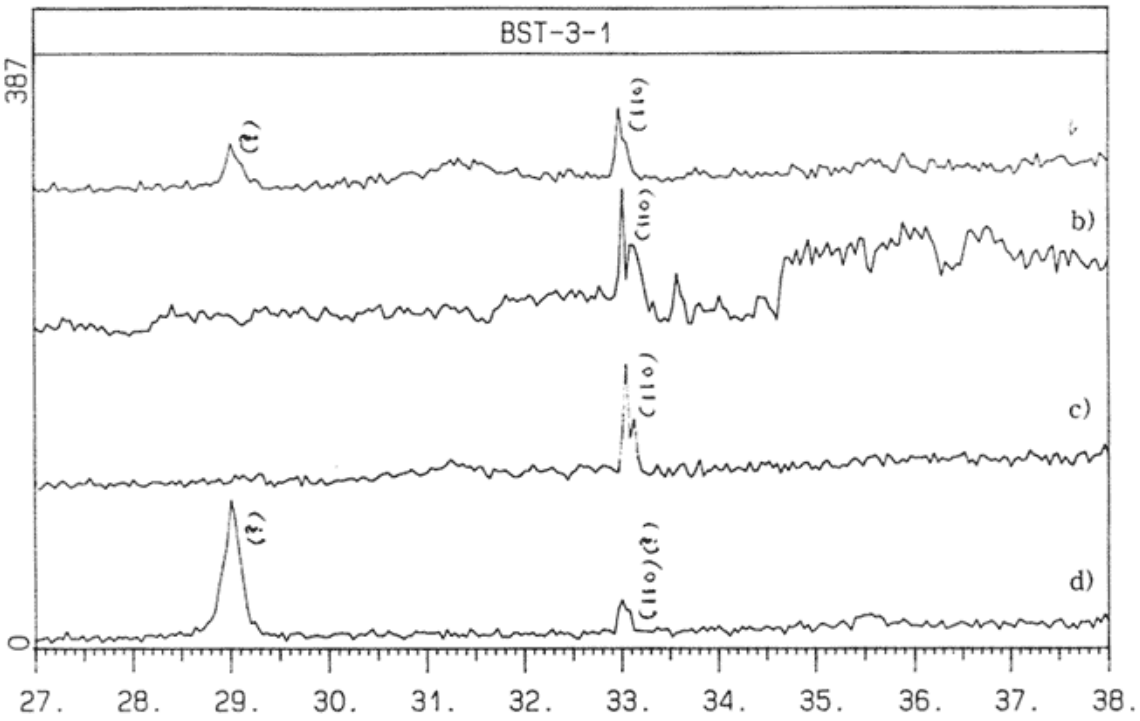


그림 30 Sputtering 법으로 중착한 BST 박막의 XRD 스펙트럼

a) (Power : 100W, Ar/O_2 = 9/1, Pressure : 10mtorr, Ts=400℃)

b) (Power : 100W, Ar = 10sccm, Pressure : 10mtorr, Ts=300℃)

c) (Power : 100W, Ar/O_2 = 9/1, Pressure : 10mtorr, Ts=200℃)

d) (Power : 100W, Ar/O_2 = 9/1, Pressure : 20mtorr, Ts=150℃)

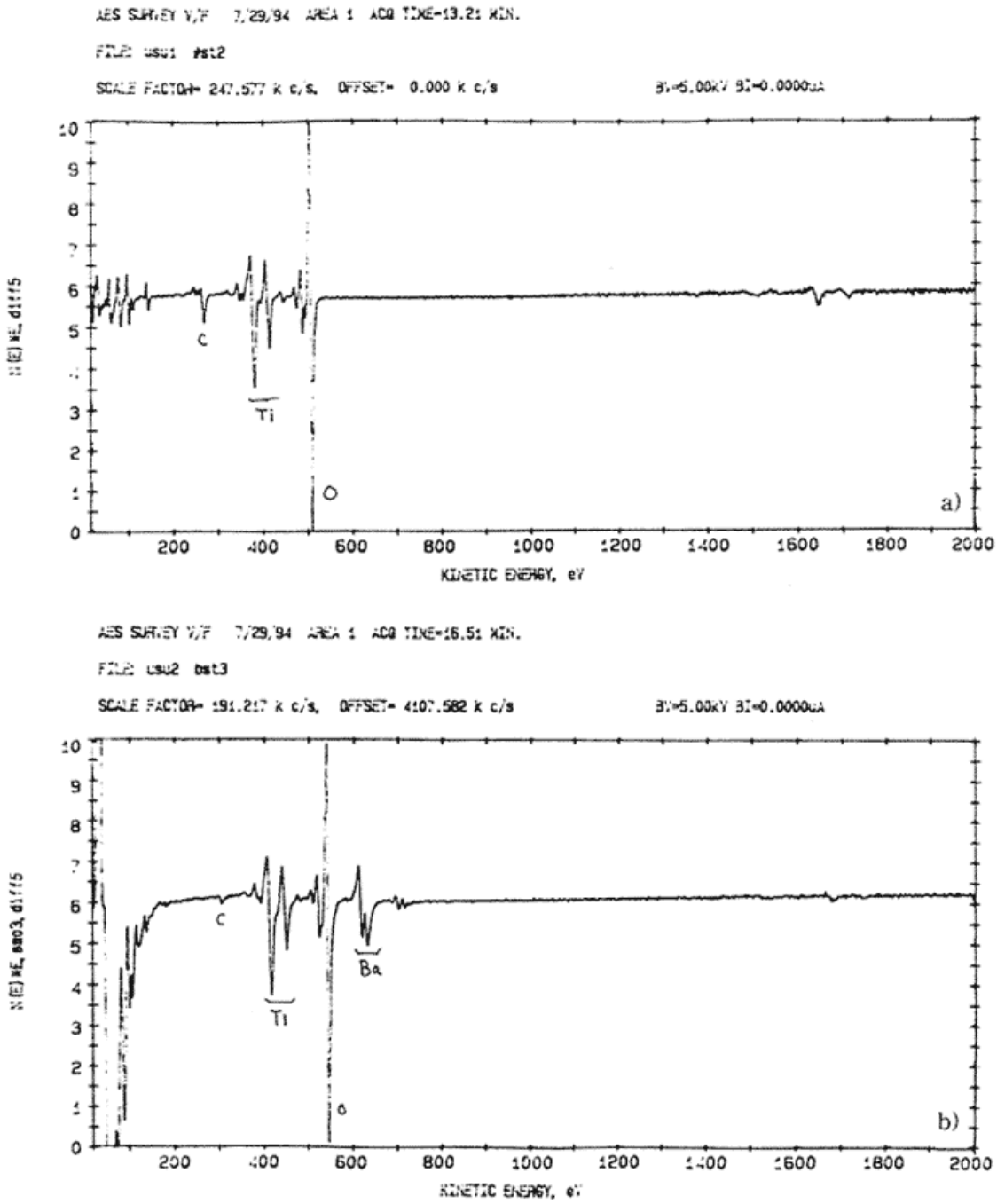


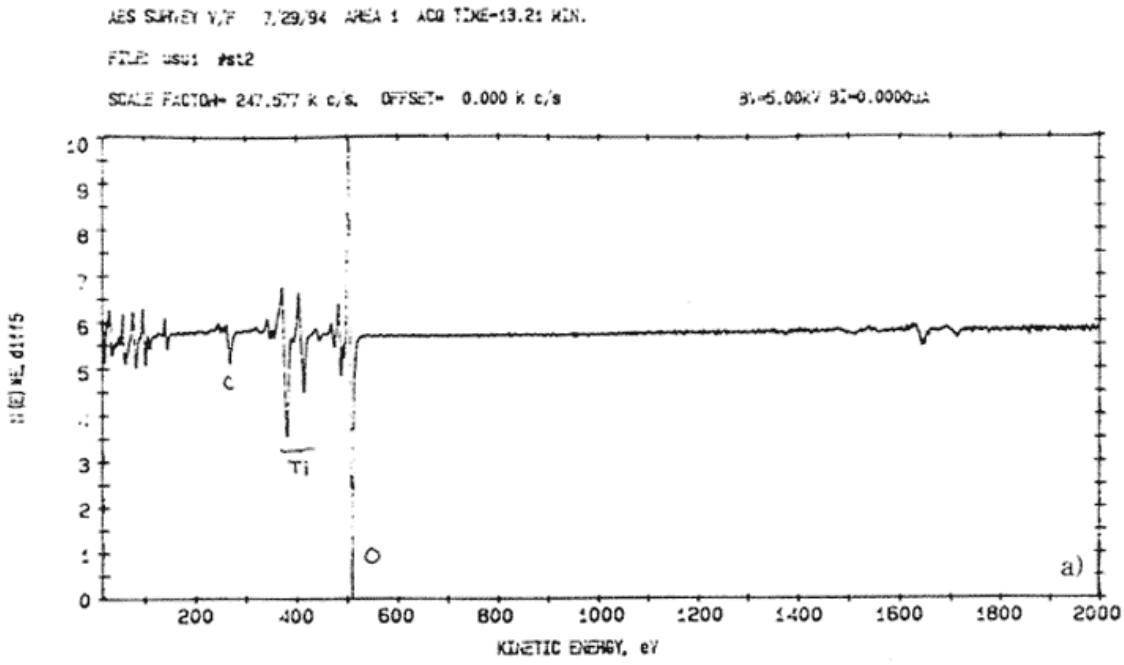
그림 31 Sputtering 법으로 증착한 SrTiO3와 BST 박막의 AES 스펙트럼

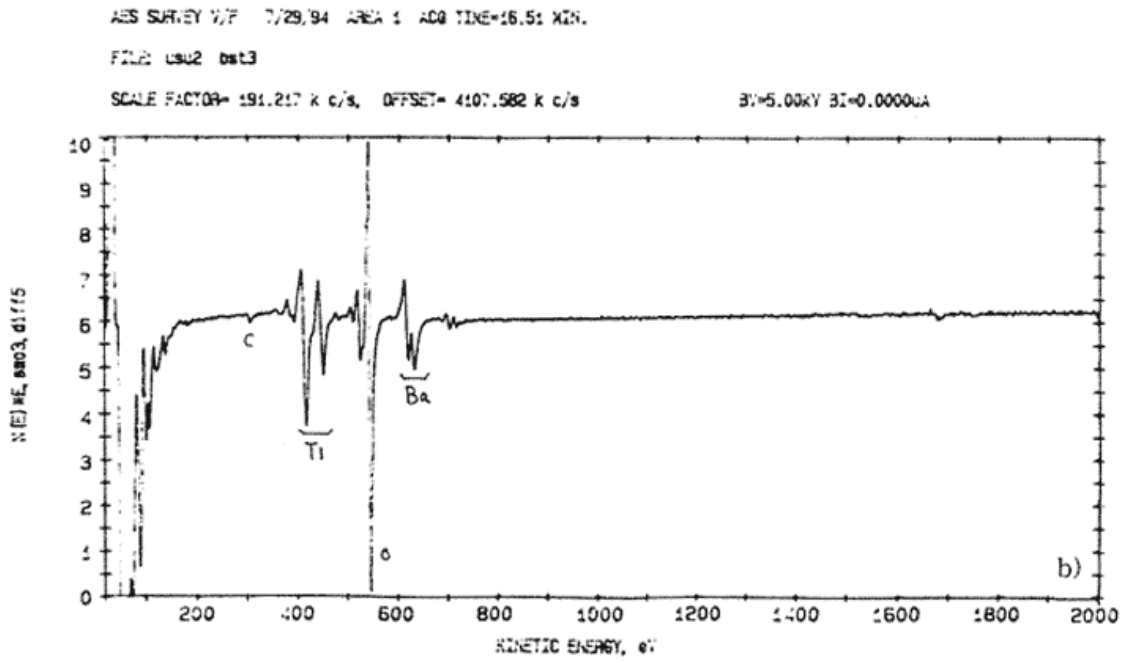
a) (Power : 100W, Ar/O2 = 9/1, Pressure : 20mtorr, Ts=300℃)

b) (Power : 100W, Ar/O2 = 9/1, Pressure : 10mtorr, Ts=400℃)

c) (Power : 100W, Ar/O2 = 9/1, Pressure : 10mtorr, Ts=200℃)

d) (Power : 100W, Ar = 10sccm, Pressure : 10mtorr, Ts=300℃)


AES SURVEY Y/F 7/29/94 AREA 1 ACQ TIME=13.21 MIN.
SCALE FACTOR= 247.577 K c/s, OFFSET= 0.000 K c/s
BV=5.00kV BI=0.0000uA
N(E) NE, diff5
C
Ti
O
a)
KINETIC ENERGY, eV


AES SURVEY Y/F 7/29/94 AREA 1 ACQ TIME=16.51 MIN.
SCALE FACTOR= 191.217 K c/s, OFFSET= 4107.582 K c/s
BV=5.00kV BI=0.0000uA
N(E) NE, smo3, diff5
C
Ti
Ba
O
b)
KINETIC ENERGY, eV

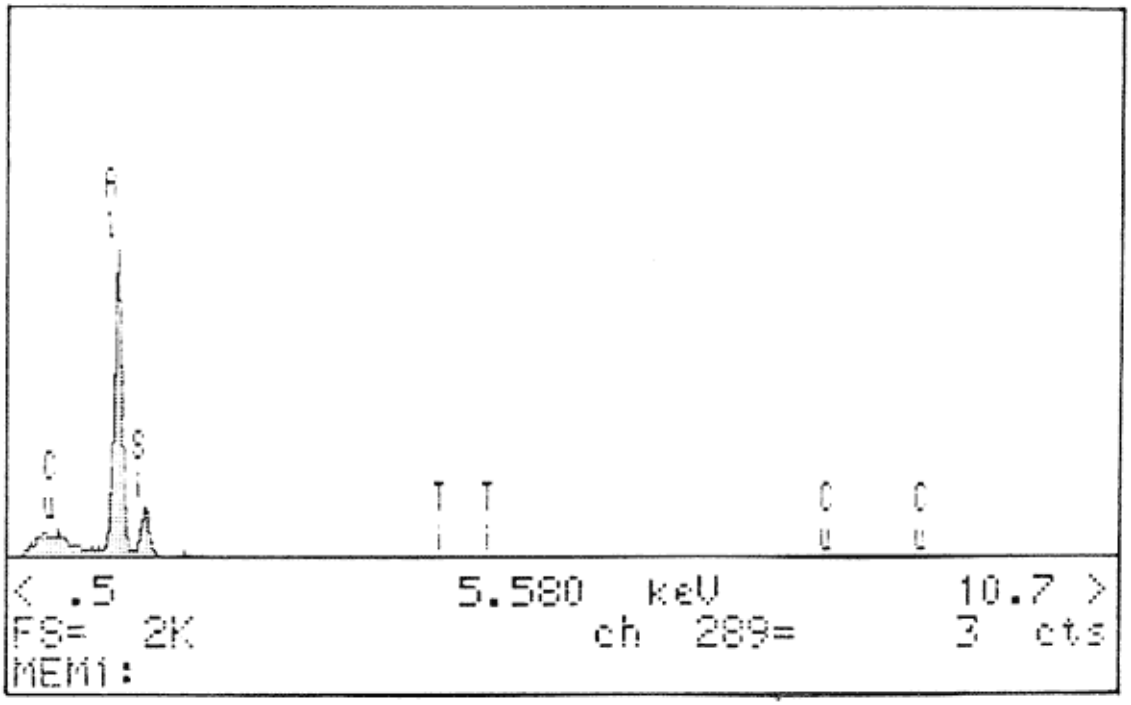
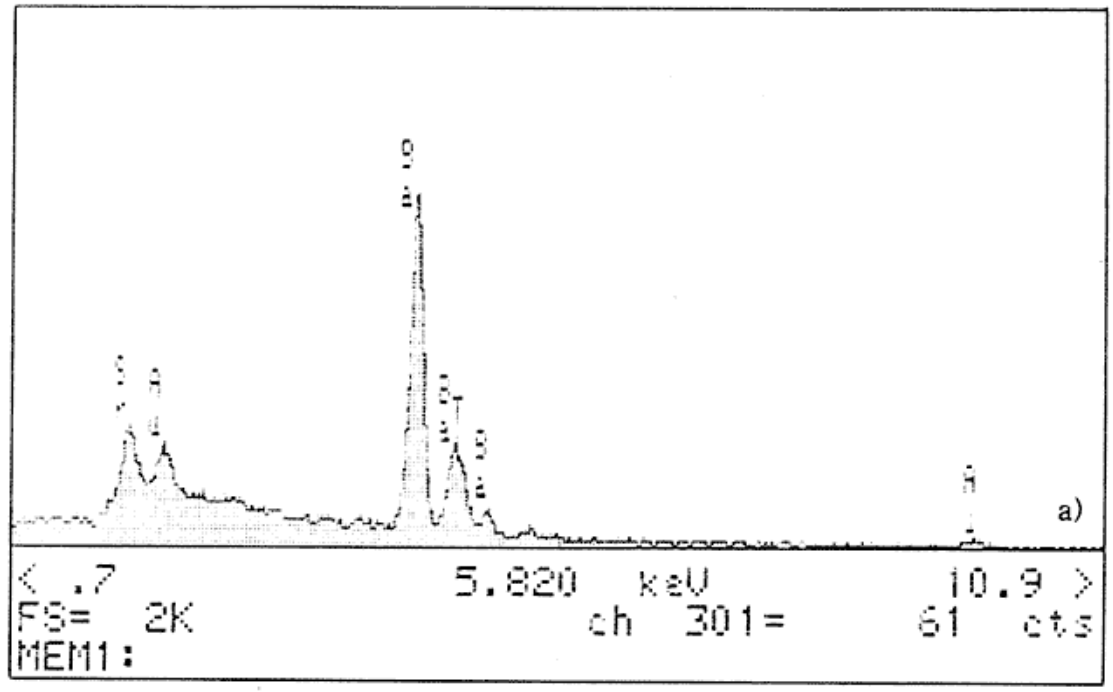


그림 32 Sputtering 법으로 증착한 $SrTiO_3$ 박막의 EDS 스펙트럼
(Power : 100W, Ar/O2 = 9/1, Pressure : 20mtorr, Ts=300℃)



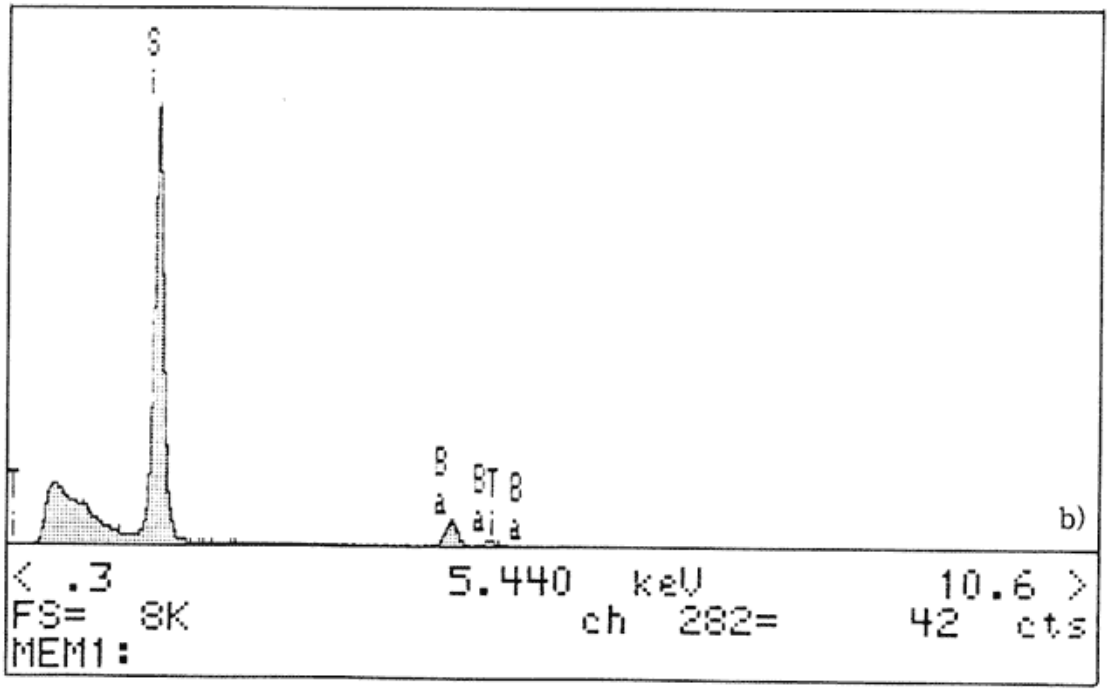


그림 33 BST target과 Sputtering 법으로 증착한 BST 박막의 EDS 스펙트럼
a) BST target b) BST 박막

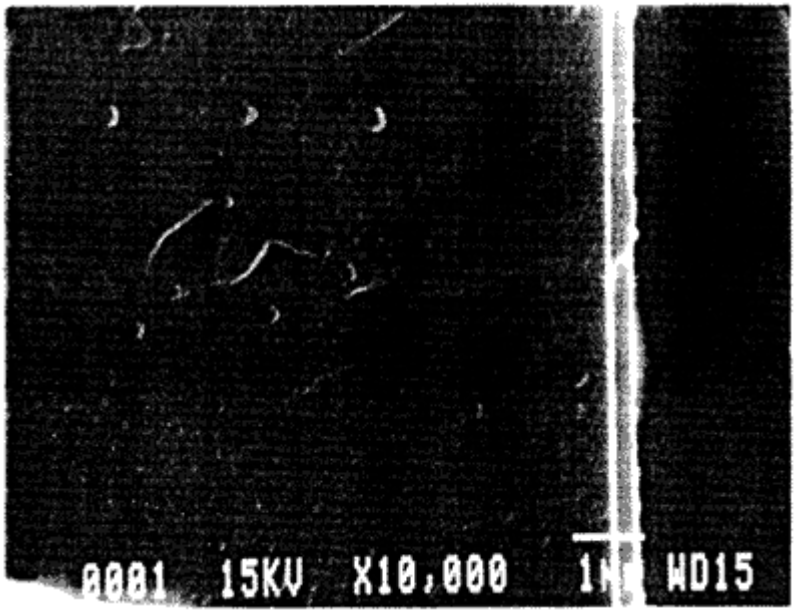


그림 34 $SrTiO_3$ 박막의 단면 SEM 사진
(Power : 100W, Ar/O_2 = 9/1, Pressure : 20mtorr, Ts=300℃)

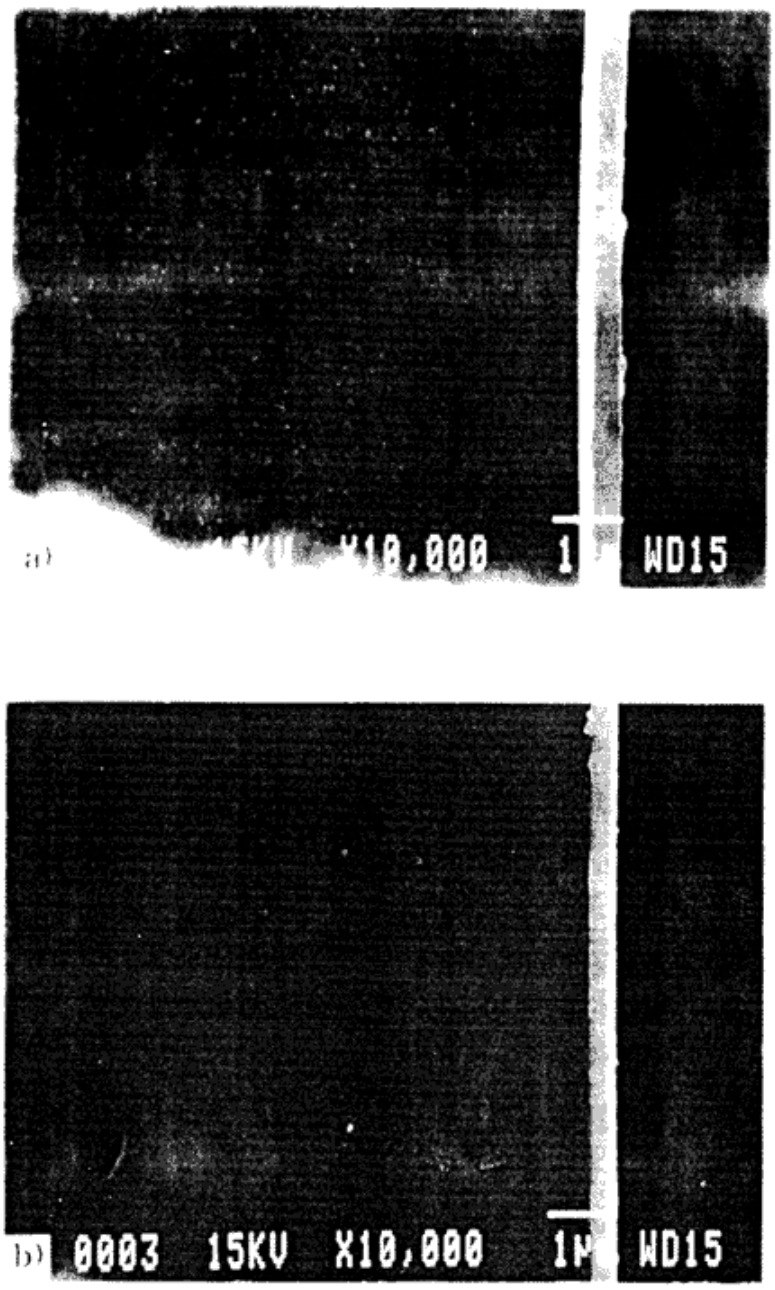


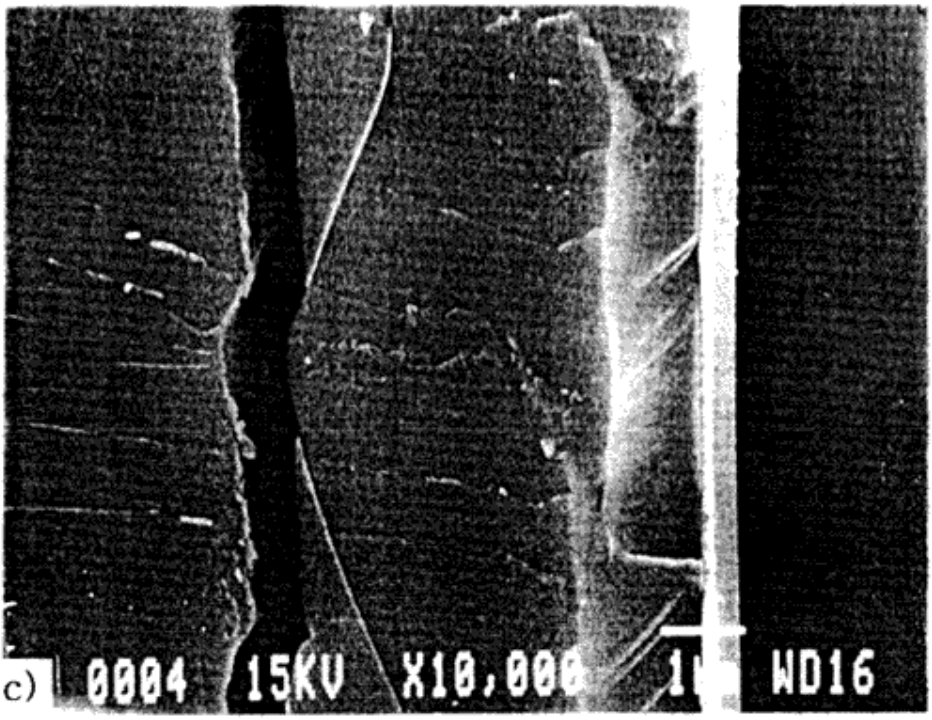
그림 35 BST 박막의 단면 SEM 사진

a) (Power : 100W, Ar/O_2 = 9/1, Pressure : 10mtorr, Ts=400℃)

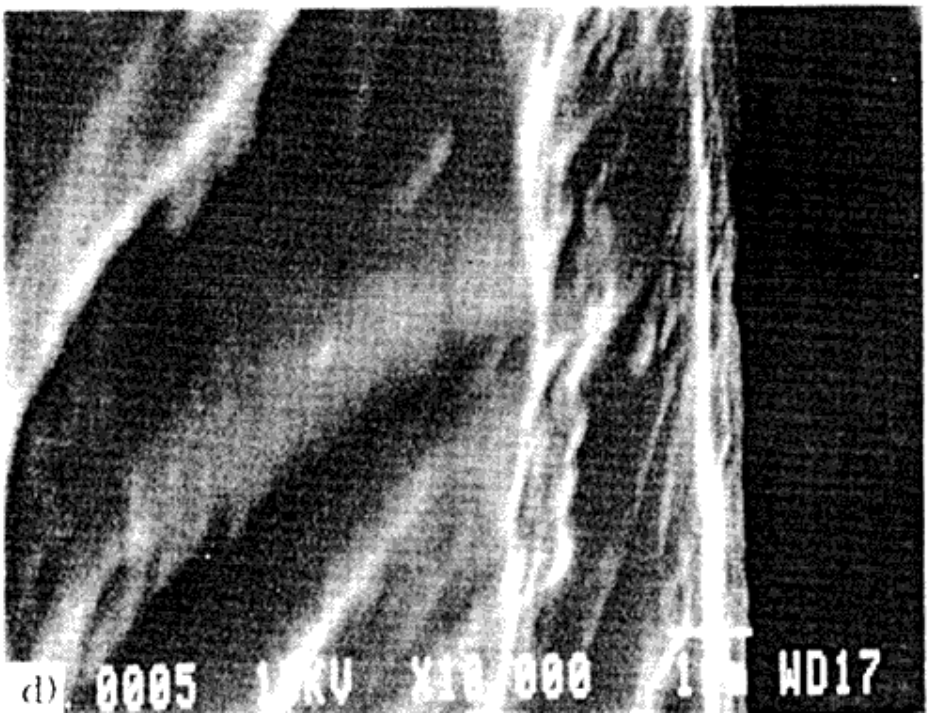
b) (Power : 100W, Ar = 10sccm, Pressure : 10mtorr, Ts=300℃)

c) (Power : 100W, Ar/O_2 = 9/1, Pressure : 10mtorr, Ts=200℃)

d) (Power : 100W, Ar/O_2 = 9/1, Pressure : 20mtorr, Ts=150℃)



c)



d)

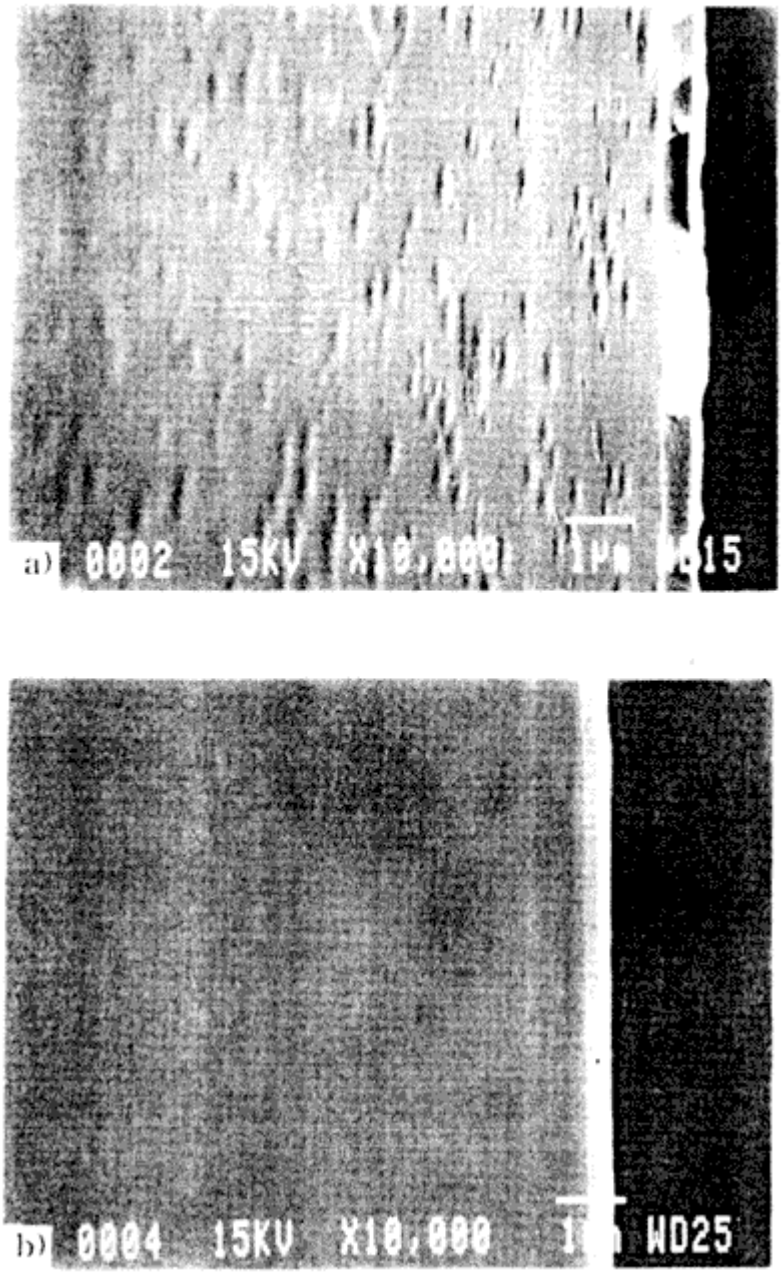
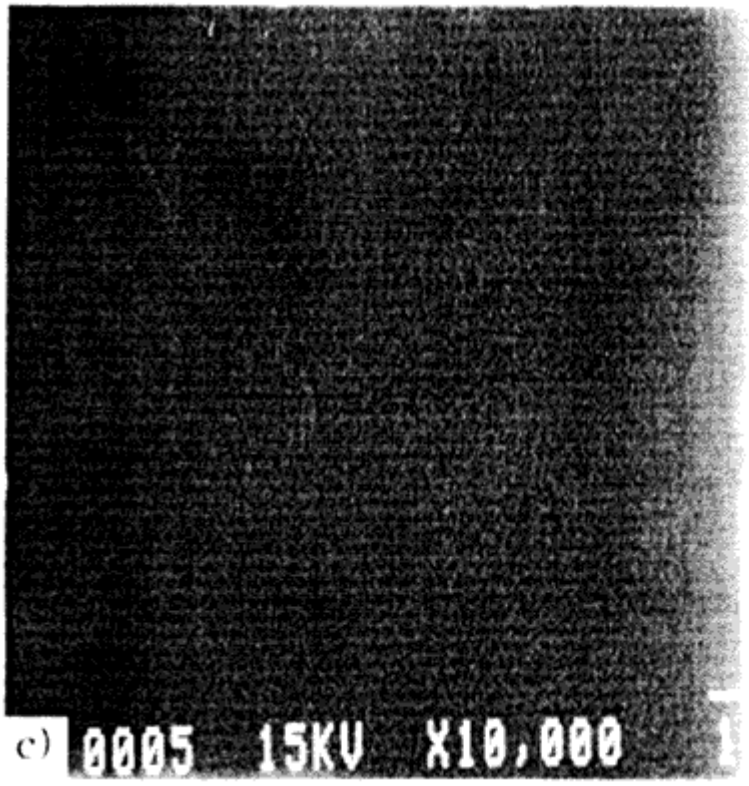


그림 36 Power가 100W, Pressure가 10mtorr이고 기판온도가 다른 경우의 BST 박막의 표면 사진 (×10,000)

a) (Power : 100W, Ar/O_2 = 9/1, Pressure : 10mtorr, Ts=400℃)

b) (Power : 100W, Ar/O_2 = 9/1, Pressure : 10mtorr, Ts=200℃)

c) (Power : 100W, Ar/O_2 = 9/1, Pressure : 20mtorr, Ts=150℃)


0005 15KV X10,000

다. 유전특성

Pt를 하부전극으로 이용한 경우에 BST 박막을 증착한 다음 metal shadow mask를 써서 유전체 박막위에 Al를 증착하여 dot 패턴의 전극을 형성한 다음 MIM capacitor를 형성하여 유전특성을 살펴보았다. Dot 형태의 전극크기는 0.3 ~ lmm 범위에 들었으며, 측정한 전극의 표면을 광학사진으로 촬영한 다음 정확한 면적을 계산하여 유전율을 계산하였다. 측정된 유전율은 제조조건에 따라 변화가 있었으나 유전손실은 전체적으로 10% 전후로서 양호한 특성을 나타내지는 않았다. 표 5에 증착조건에 따른 유전율의 변화를 나타내었다. 제 2 장에서 보듯이 기존에 발표된 연구보고에 의하면 BST 박막의 유전율은 200-500 정도로 대체적으로 높은 값을 나타내었는데 본 실험에서는 5-17이라는 아주 낮은 유전율을 보였다. 그 이유는 앞에서도 설명했지만 Ba가 부족한 Ba_xTiO_x 박막만 형성된 것으로 예측되며 그래서 강유전체 박막이 형성되지 않은 것으로 추측된다. 정확한 원인은 더 연구해 봐야겠다. 표 5에는 BST 박막의 유전특성을 나타내었다.

스퍼터링에 의해 제조된 BST는 누설전류가 큰 것이 문제로 일반적으로 알려져 있다. 이 결과를 알기 위해서는 $SrTiO_3$와 BST 박막의 I-V특성을 그림 37과 38에 나타내었다. 5-10V 내에서 유전파괴가 일어나는 것으로 보아 대체적으로 I-V 특성은 대체로 불량한 편이었다.

표 5 Reactive RF-Magnetron Sputtering으로 제작한 BST MIM Capacitor의 유전특성

시편 No.	Target	제 조 조 건	박막두께 (Å)	Pt 하 부 전 극	
				겉보기 유전율	유전손실(%)
2	$SrTiO_3$	Ar : O_2 = 9 : l, P=100W, Ts=300℃, Pressure=20mtorr	2600	2.46	2.3
3	BST	Ar : O_2 = 9 : l, P=100W, Ts=400℃, Pressure=10mtorr	2164	5.5	28
4	BST	Ar = 10sccm, P=100W, Ts=300℃, Pressure=10mtorr	3700	6.8	7.5
5	BST	Ar : O_2 = 9 : l, P=100W, Ts=200℃, Pressure=10mtorr	2100	17.4	1.4
6	BST	Ar : O_2 = 9 : l, P=100W, Ts=150℃, Pressure=20mtorr	2677	7.8	9.5

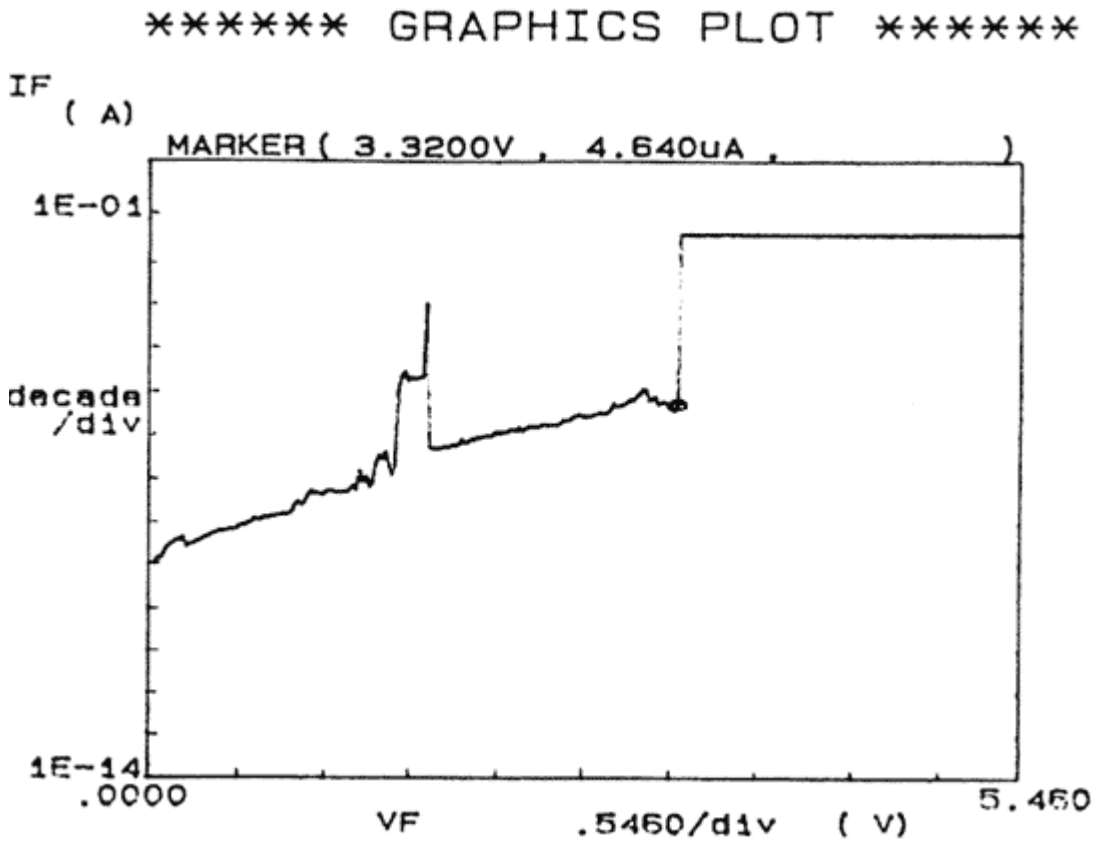
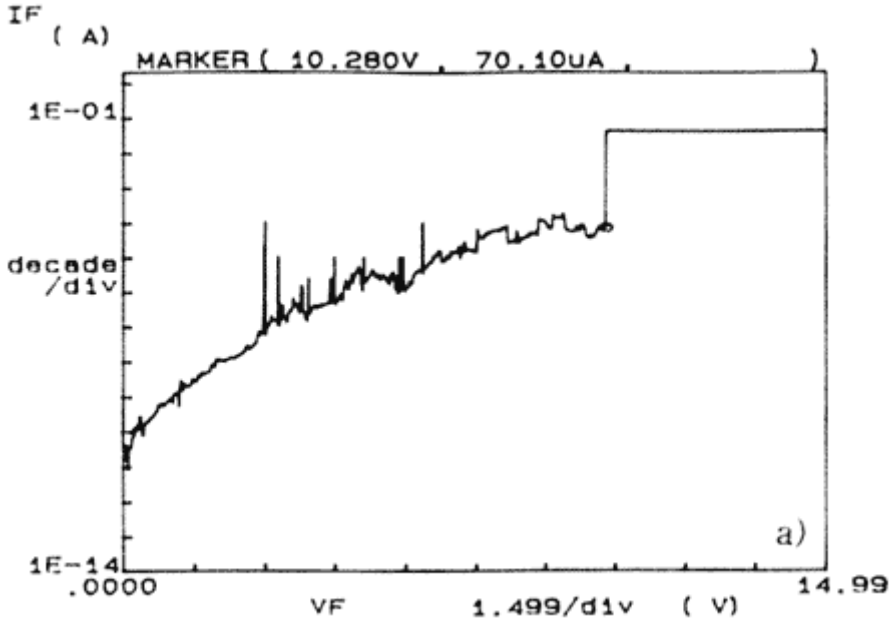


그림 37 $SrTiO_3$ 박막의 Current-Voltage 특성
(Power : 100W, Ar/O_2 = 9/1, Pressure : 20mtorr, Ts=300℃)



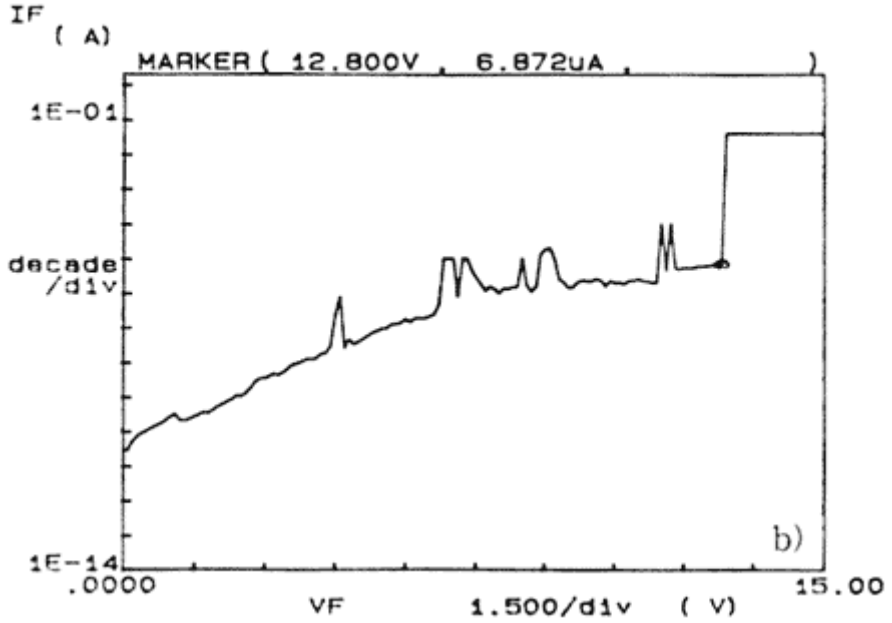


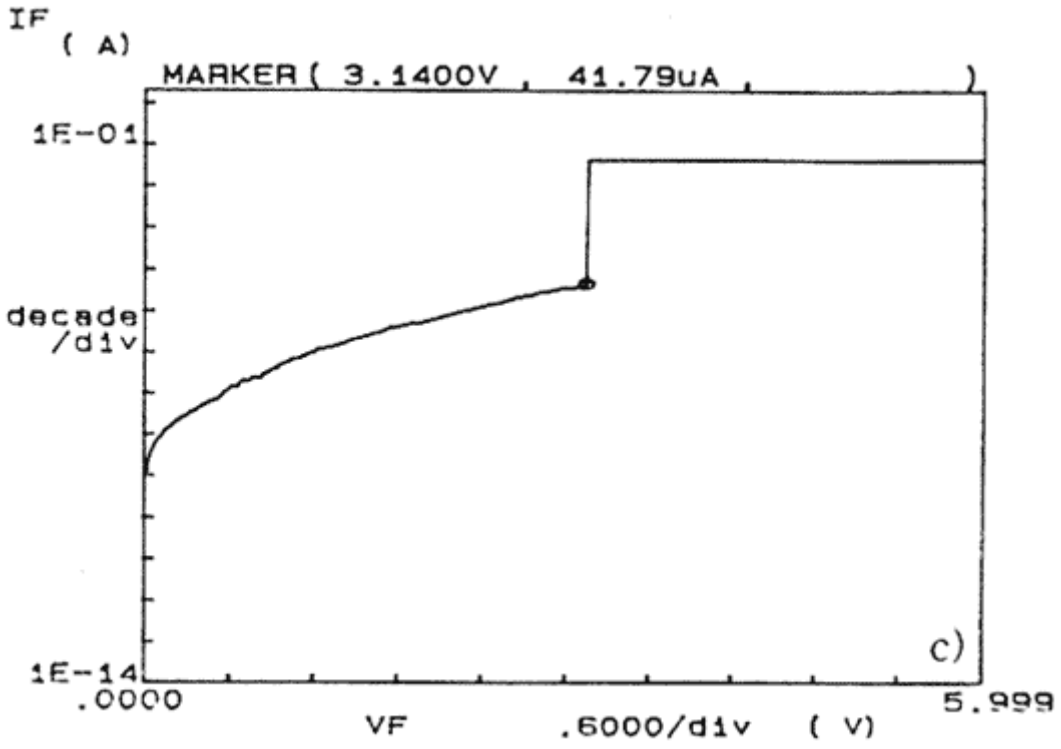
그림 38 BST 박막의 Current-Voltage 특성

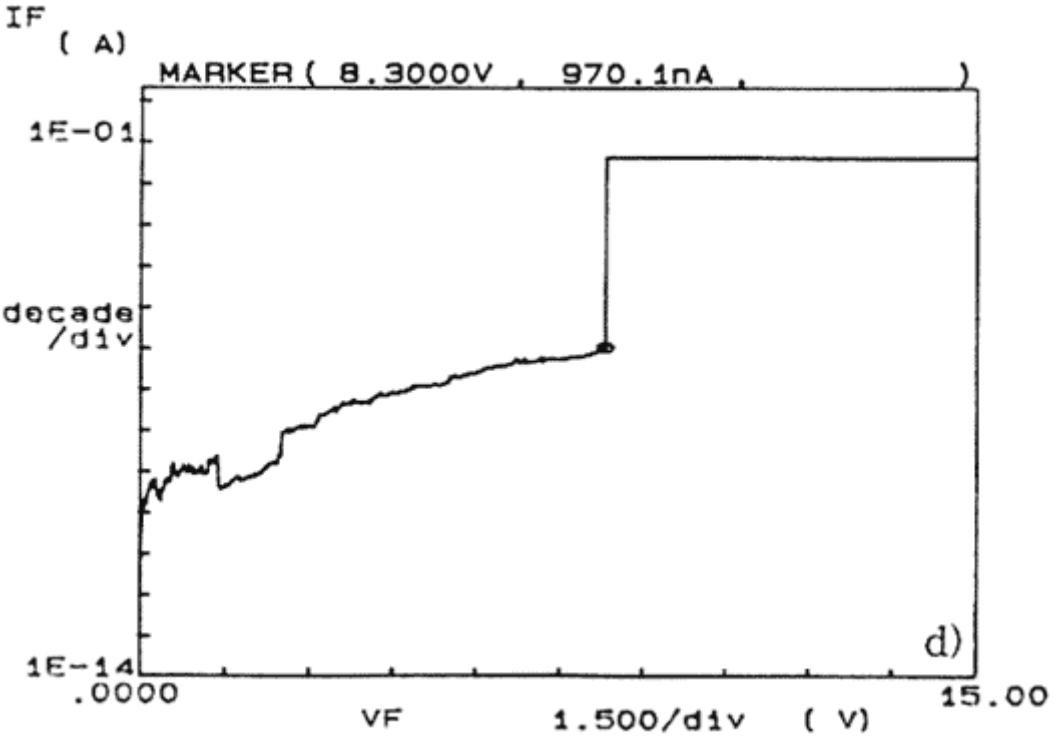
a) (Power : 100W, Ar/O_2 = 9/1, Pressure : 10mtorr, Ts=400℃)

b) (Power : 100W, Ar = 10sccm, Pressure : 10mtorr, Ts=300℃)

c) (Power : 100W, Ar/O_2 = 9/1, Pressure : 10mtorr, Ts=200℃)

d) (Power : 100W, Ar/O_2 = 9/1, Pressure : 20mtorr, Ts=150℃)


IF
(A)
MARKER(3.1400V , 41.79uA ,)
1E-01
decade
/div
1E-14
.0000
5.999
VF
.6000/div
(V)
c)


IF
(A)
MARKER(8.3000V , 970.1nA ,)
1E-01
decade
/div
1E-14
.0000
15.00
VF
1.500/div
(V)
d)

참고문헌

1. 강형부, “티탄산 바륨의 물성 및 응용”, 전기·전자재료 (청문각), 1990, pp. 409-412.
2. 김호기, “강유전체 세라믹 박막의 제조기술 및 응용”, 한국과학재단, 제 119회, 1994.
3. 심영재, “세라믹스의 전기적 성질(II)", 월간세라믹스 1992년 1월호, pp. 104-109.
4. Tae Song Kim, Chong Hee Kim, and Myung Hwan Oh, "Electric Properties of Radio Frequency Magnetron-Sputtered (BaSr)TiO_3 Thin Films On Indium Tin Oxide-Coatd Glass Substrate", J. Vac. Sci. Tech., pp. 529-532, 1994.
5. Tae Song Kim, Myung Hwan Oh, and Chong Hee Kim, "Influences of Indium Tin Oxide Layer on the Properties of RF Magnetron-Sputtring (BaSr)TiO_3 Thin Films on Indium Oxide-Coated Glass Substrate", Jpn. J. Appl. Phys., pp. 2837-2841.
6. T. Eimori, Y. Ohno, H. Kimura, J. Matsufusa S. kishimura H. Sumitani, T.aruyama, Y. Hayashide, K. Moriizumi, T. Katayama M. Asakura, T. Horikawa, "A Newly Designed Planar Stacked Capacitor Cell with High Dielectric Constant Film for 256Mbit DRAM", IEDM, pp. 631-634, 1993.
7. Noboru Ichinose and Takashi Ogiwara, "Preparation and Properties of (BaSr)TiO_3 Thin Films by RF Magnetron Sputtering", Jpn. J. Appl. Phys., pp. 4115-4117, 1993.
8. Tsuyoshi Horikawa, Noboru Mikami, Tetsuro Makita, Junji Tanimura, Masayuki Kataoka, Kazunao Sato, and Masahrio Nunoshita, "Dielectric Properties of (BaSr)TiO_3 Thin Films Deposited by RF Sputtering", Jpn. J. Appl. Phys., pp. 4126-4130, 1993.
9. Z. surowiak, A. M. Margolin, I. N. Zakharchenko and S. V. Biryukov, "The Influence on the Piezoelectric Properties of $BaTiO_3$ and (BaSr)TiO_3 Thin Films with a Diffuse Phase Transition", Thin Solid Films, pp. 227-246, 1989.
10. K. Fujimoto, Y. Kobayashi and K. Kubota, "Growth of $BaTiO_3$-$SrTiO_3$ thin films by RF magnetron sputtering", Thin solid film, pp. 249-256, 1988.
11. Tomoyuki Sekine, Yukio Ito, and Kenji Uchino, "Deposition Profile of RF Magnrtron Sputtered $BaTiO_3$ Thin Films", Jpn. J. Appl. Phys, pp. 1484-1488, 1994.
12. Munehiro Shibuya, Mitsuru Nishitsuji, Masatoshi Kitagawa, Takeshi Kamada, Shigenori Hayashi, Akiyoshi Tamura and Takashi Hirao," Substrate Potential Effects on Low-Temperature Preparation of $SrTiO_3$ Thin Films by RF Magnetron Sputtering", Jpn. J. Appl. Phys, pp. L1830-L1833, 1993.
13. Yoichiro Masuda, Akira Baba, Hiroshi Masumoto, Takashi Goto, Makoto Minakata, and Toshio Hira, "Preparation and Dielectric and Electrooptic Properties of $Bi_4Ti_3O_{12}$ Films by Electron Cyclotron Resonance Plasma Sputtering Deposition", Jpn. J. Appl. Phys, pp. 2212-2215, 1991.
14. Yoshihiro Shintani and Osamu tada, "Preparation of Thin $BaTiO_3$ Films by DC Diode Sputtering", J. Appl. Phys., pp. 2376-2380
15. Shunsuke Nagata, Tosiyuki Ueda, Atsushi Noma, Haruhiko Koizumi, “A GaAs

MMIC Chip-Set for Mobile Communications Using On-Chip Ferroelectric Capacitors", 1993 IEEE intertional Solid-State Circuit Conference, pp. 172-173, 1993.

16. J. Lee, C. Sudhama, Kim and R. Khamankar, "High Dielectric Constant Ferroelectric Thin Films for DRAM Applications", Extended Abstrscts of the International Conference on Solid State Devices and Materials, Makuhari, pp. 850-852, 1993.
17. Hitoshi Kobayashi and Takeshi Kobayashi, "Heteroepitaxial Growth of Quaternary $Ba_xSr_{1-x}TiO_3$ Thin Films by ArF Excimer Laser Ablation", Jpn. J. Appl. Phys., Vol. 33, Part 2, No. 4A, pp. L533-L536, 1991.
18. Hidenobu Nakaazwa, Hisanori Yamane and Toshio Hriai, "Metalorganic Chemical Vapor Deposition of $BaTiO_3$ Films on MgO(100)", Jpn. J. Appl. Phys., Vol. 30, No. 9B, pp. 2200-2203, 1991.
19. Nobuo ishizawa, Hidekuni Banno, Motoo Hayashi, Seung Eul Yoo, "Preparation of $BaTiO_3$ Polycrystalline Thin Films on Flexible Polymer Film Suhstrate by Hydrothermal Method", Jpn. J. Appl. Phys., Vol. 29, No. 11, pp. 2467-2472, 1991.
20. E. Fujii, Y. Uemoto, S. Hayashi, T. Nasu, Y. Shimada, "ULSI DRAM Technology with $Ba_{0.7}Sr_{0.3}TiO_3$ Film of 1.3nm Equivalent SiO_2 Thickness and $10^{-9}Acm^2$ Leakage Current", 1992 IEEE, pp. 267-270.
21.Takeharu Kuroiwa, Yoshikazu Tsunemine, Tsuyoshi Horikawa, Tetsuro Makita, Jyunji Tanimura Noboru Mikami and Kazunao, "Dielectric properties of (Ba_xSr_{1-x}) TiO_3 thin films preparea by RF sputtering for DRAM application", Jpn. J. Appl. Phys., Vol. 33, No. 9B,pp. 5187-5191, 1994.
22. Kazuhide Abe and Shuichi Komatsu, "Epitaxial growth and dielectric properties of $(Ba_{0.24}Sr_{0.76})TiO_3$ thin film", Jpn. J. Appl. Phys., Vol. 33, No. 9B, pp. 5297-5300, 1994.

23. Pijush Bhattacharya, Kyung-Ho Park and Yasushiro Nishioka, "Control of structure of laser-deposited (Ba,Sr)TiO_3 films to reduce leakage current", Jpn. J. Appl. Phys., Vol. 33, No. 9B, pp. 5231-5234, 1994.
24. Takaaki Kawahara, Mikio Yamamuka, Tetsuro Makita Jiro Naka, Akimasa Yuuki, Noboru Mikami and Kouichi Ono, "Step coverage and electrical properties of (Ba,Sr)TiO_3 films prepared by liquid source chemical vapor deposition using $TiO(DPM)_2$", Jpn. J. Appl. Phys., Vol. 33, No. 9B, pp. 5129-5134, 1994.
25. Masahiro Taga and Takeshi Kobayashi, "Field-induced surface carrier density in Pt/$SrTiO_3$/P-Si metal-insulator-semiconductor structure in excess of $3\times10^{13}cm^{-2}$", Jpn. J. Appl. Phys., Vol. 33, No. 3A, pp. 1372-1375, 1994.

제 4 장 요약 및 향후 연구계획

제 1 절 연구결과 요약

1. DC-magnetron sputter 증착한 TaO_x 연구결과

첫째, 알곤과 산소를 반응가스로 하여 DC magnetron sputtering 방법으로 TaO_x 박막을 증착한 경우 산소의 함량이 감소할수록, DC power가 증가할수록 증착속도는 증가하였다. 그러나 기판의 온도를 상온에서 300℃까지 변화시켜도 증착속도는 거의 같았다.
둘째, Au와 Ta을 각각 하부전극으로 하여 TaO_x를 sputter 증착하면 Au 박막은 기판온도가 200℃ 이상으로 높거나 sputtering power가 높으면 TaO_x 증착 중에 재결정화가 진행되어 전극의 표면이 상당히 거칠어지는 것을 발견하였다. 이러한 결과는 유전체의 겉보기 유전율을 2배까지 향상시키는 긍정적인 효과도 있으나 소자의 신뢰성에는 악영향을 줄 것으로 생각된다. 그러나 Ta을 하부전극으로 이용한 경우의 실험범위에서는 증착중에 거시적인 변화는 관찰되지 않았다.
셋째, Ta을 하부전극으로 이용한 TaO_x MIM capacitor는 유전율이 17 ~ 29의 범위를 나타내었으며, $Ar:O_2$의 유속비가 60:20일때 유전율이 26 ~ 29의 높은 값을 나타내었다.
넷째, 스퍼터 증착된 TaO_x MIM capacitor의 전류-전압 특성은 전반적으로 누설전류가 큰 편이었고, 절연파괴 전압은 수V 이하의 불량한 특성을 나타내었다.

2. Ceramic BST 연구결과

첫째, $BaTiO_3$에 $SrTiO_3$를 30 mol%가지 첨가하였을때 소결온도가 높을수록 치밀화 및 입자 성장이 진행되었음을 알 수 있으며 유전상수가 전반적으로 매우 높음을 알 수 있다.
둘째, $SrTiO_3$의 첨가에 따라 유전상수의 온도에 따른 변화가 완만하며 큐리온도를 낮춤으로서 $SrTiO_3$가 이동제 및 하강제로서의 효과를 나타내었다. 이때 $SrTiO_3$의 적정량은 30 mol%였다.
셋째, 소결밀도의 경우 5.49-5.94g/cm^3 범위의 값을 나타내어 양호한 편이었으며, 소결온도가 증가할수록 소결밀도는 증가함을 보였다.
넷째, 유전율은 최대 7980 정도였는데 이는 통상적인 값보다 낮은값을 보였다.

3. RF-magnetron sputter 증착한 BST 연구결과

첫째, 알곤과 산소를 반응가스로 하여 RF magnetron sputtering 방법으로 BST 박막을 증착한 경우 기판온도가 300℃인 경우 증착속도는 가장 높았다.
둘째, 각 조건에서 증착된 $SrTiO_3$와 BST 박막을 XRD, AES, EDS로 분석한 결과 Ba,Sr,Ti의 peak는 관찰되었지만 $SrTiO_3$, BST 박막은 AES 분석 결과와 마찬가지로 Sr peak는 관측되지 않았다. 그 이유는 확실히 규명할 수는 없었지만 본 실험에서는 Ba가 부족한 Ba_xTiO_3 박막만 형성된 것으로 추측된다.
셋째, Pt를 하부전극으로 이용한 BST MIM capacitor는 유전율이 5~18의 범위를 나타내어서 강유전체가 형성되지 않았음을 알 수 있었다.
넷째, BST MIM capacitor의 전류-전압특성과 절연파괴전압을 측정함으로써 적정 sputtering 조건을 확인 할수 있을 것으로 판단하며 이 실험은 향후 계속될 것이다.

제 2 절 향후 연구계획

1차년도 연구결과 TaO_x는 어느 정도 결과를 얻었으나, BST에 대한 연구결과는 미흡한 상태이다. 따라서 2차년도에는 BST 박막의 제조기술 확립에 중점적으로 연구를 진행할것이다. 특히 저온에서도 양호한 특성을 얻을 수 있도록 증착조건을 개시키는데 주력하는 한편, 신물질의 박막재료 개발을 위한 실험을 진행할 계획이다. 이를 위하여 target 재료와 여러가지 조성의 강유전체 재료를 배합하여 자체적으로 target을 제조하여 sputtering한 박막에 대한 연구를 계속하고자 한다.